

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-322399

(43)Date of publication of application : 04.12.1998

(51)Int.Cl. H04L 12/66
H04L 12/56
H04Q 3/00

(21)Application number : 09-128238

(71)Applicant : NEC CORP

(22)Date of filing : 19.05.1997

(72)Inventor : MATSUDA OSAMU
NISHIHARA JUNICHIRO
MIURA MASANORI

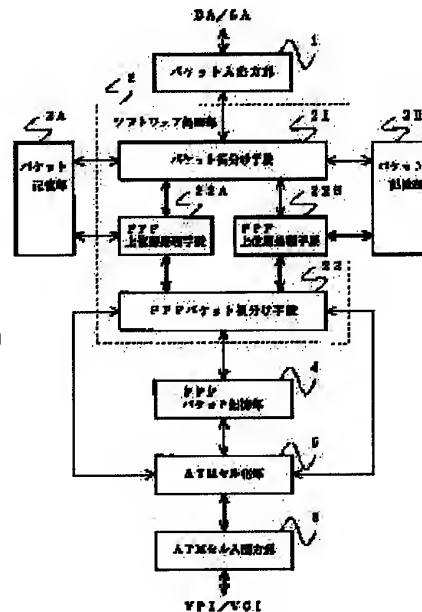
(54) PACKET COMMUNICATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the transmission efficiency with small size, light weight at a high speed and to enhance the high maintainability through simplicity.

SOLUTION: In the case of communicating an international standard packet via an asynchronous transfer mode ATM network, the system is provided with a point-to-point high order layer processing means 22 for conversion of a point-to-point protocol (PPP) packet between the international standard packet and an ATM cell and with an ATM cell processing section 5 for addition/ identification of a virtual path identifier/virtual channel identifier(VPI/VCI), and also with PPP high order layer processing means 22A, 22B corresponding to pluralities of PPP connections multiplexed on a physical channel, packet storage sections 3A, 3B storing the international standard packet, a packet distribution means 21 distributing the international standard packet to them, and a PPP packet distribution means 23.

Through the constitution above, pluralities of ATM logic channels are multiplexed on the physical channel and functions based on the PPP and additional functions of the ATM are enhanced.



LEGAL STATUS

[Date of request for examination] 19.05.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3156760

[Date of registration] 09.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 09.02.2005

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is ATM (Asynchronous Transfer Mode) by the international-standards packet. Packet communication mode characterized by having a conversion means to perform the interconversion of the PPP packet based on PPP (Point-to-Point protocol) which connected with said ATM network and changed said international-standards packet in the packet communication mode which communicates through a network, said ATM network, and the ATM cel that are outputted and inputted.

[Claim 2] It is the packet communication mode which carries out termination of the PPP connection form in the interior of two or more logic circuits of each said conversion means was multiplexed by one physical circuit to said ATM network in claim 1 , and is characterize by to have two or more PPP upper layer processing means perform upper layer processing based on said PPP , and a symmetry means distribute each packet and cel for conversion suitable for said PPP upper layer processing means .

[Claim 3] It is the packet communication mode characterized by including a PPP packet symmetry means to distribute to said suitable PPP upper layer processing means using the identifier of the logic circuit by which said symmetry means was set as said physical circuit in said ATM network to the carrier beam ATM cel in claim 2.

[Claim 4] It is the packet communication mode characterized by including a packet symmetry means by which said symmetry means distributes a carrier beam packet to said suitable PPP upper layer processing means from the upper layer in claim 2.

[Claim 5] It is the packet communication mode characterized by including a packet symmetry means by which said symmetry means distributes a carrier beam packet to said suitable PPP upper layer processing means in claim 4 using the address of a packet from the upper layer.

[Claim 6] It is the packet communication mode characterized by including a PPP packet symmetry means to distribute to said suitable PPP upper layer processing means using the identifier of the logic circuit by which said symmetry means was further set as said physical circuit in said ATM network to the carrier beam ATM cel in claim 5.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is ATM (Asynchronous Transfer Mode) by the international-standards packet. In addition to a miniaturization and lightweight-izing of a communication device, it is especially related with address translation, user authentication, and the packet communication mode that enables dynamic allocation of the address about the packet communication mode which communicates through a network.

[0002]

[Description of the Prior Art] Conventionally, a transmitting side and a receiving side may be connected by the physical circuit of 1 to 1, two or more logic circuits may be set up the case where a packet is delivered and received using this physical circuit, and in a physical circuit, and a packet may be delivered in this kind of packet communication mode and received using the set-up logical circuit.

[0003] As a former example IETF () [Internet Engineering] There is a packet communication mode based on PPP (Point-to-Point protocol) defined by RFC (Request for Comment) 1661, 1332, and 1334 of Task Force. moreover, as a latter example LAN in an ATM Forum technical committee (LocalArea Network) LANE based on the ATM technique defined by emulation over and the ATM version 1.0 () [Local Area] Network Emulation It is.

[0004] First, the packet I/O section 110 as the router 171 shown in drawing 6 (B) or Terminals 172A and 172B indicated to be to drawing 6 (A) by the packet communication mode based on PPP, the packet storage section 120, the software processing section 130, the PPP packet storage section 140, and HDLC (High Level Data Link Control) It has the processing section 150 and the HDLC frame I/O section 160, and connects with the telephone network 173.

[0005] Moreover, the PPP upper layer processing means 131 and the data transfer means 132 are included in the software processing section 130. moreover, the router 171 --- Terminals 172A and 172B --- respectively --- ** --- the physical circuits 176A and 176B in a telephone network 173 --- it connects through each --- having --- the physical circuits 176A and 176B --- it is alike, respectively and the PPP connections 177A and 177B per are established.

[0006] Next, the function with which combines and refers to drawing 6 (B) to drawing 6 (A), and a router 171 or Terminals 172A and 172B are equipped is explained.

[0007] the packet I/O section 110 --- Ethernet (Ethernet) Or the Internet (Internet) etc. --- from --- while storing a carrier beam packet (suppose that a LAN (Local Area Network) packet is called here) in the packet storage section 120, this thing [having stored] is notified to the PPP upper layer processing means 131. On the other hand, from the PPP upper layer processing means 131, the packet I/O section 110 receives directions, is beginning to read the LAN packet stored in the packet storage section 120, and outputs it.

[0008] The PPP upper layer processing means 131 performs processing defined by RFC 1661, 1332, and 1334 of IETF. That is, it is notified to the data transfer processing means 132 while the PPP upper layer processing means 131 changes a carrier beam LAN packet into a main signal PPP packet, generates the PPP packet for control mentioned further later from the packet storage section 120 and stores it in the PPP packet storage section 140. On the other hand, the PPP upper layer processing means 131 changes a carrier beam main signal PPP packet into a LAN packet from the PPP packet storage section 140, stores it in the packet storage section 120, and is notified to the packet I/O section 110.

[0009] Moreover, while the PPP upper layer processing means 131 generates the PPP packet for control for performing dynamic allocation of establishment of a PPP connection and release,

user authentication, and the address and sends it to a connection place in the case of generation of a PPP packet, it performs termination of the PPP packet for carrier beam control from a connection place.

[0010] The router 171 shown by drawing 6 (B) sets PPP connection 177A between for example, terminal 172A as a data link layer using the packet for control generated in the PPP upper layer processing means 131, and notifies information required for a demand and user authentication of the address to a connection phase hand's terminal 172A through PPP connection 177A, and PPP connection 177A is established after the user authentication by PPP. The same is said of the establishment procedure of PPP connection 177A to the router 171 from terminal 172A.

[0011] Return and the data transfer processing means 132 are CPU (Central Processor Unit) of software processing to drawing 6 (A) about a transfer of the PPP packet between the PPP packet storage section 140 and the HDLC processing section 150. It carries out applying it. Moreover, when the data transfer processing means 132 stores a PPP packet in the PPP packet storage section 140, it notifies having stored to the PPP upper layer processing means 131. On the other hand, the data transfer processing means 132 notifies transmitting a PPP packet for the advice which stored the PPP packet in the PPP packet storage section 140 from the PPP upper layer processing means 131 to the HDLC processing section 150 in the carrier beam case.

[0012] The HDLC processing section 150 adds HDLC framing (flag) to a carrier beam PPP packet from the data transfer processing means 132, performs zero clearance, and a flag / abort sequence processing, forms it in the HDLC frame, and is sent out to the HDLC frame I/O section 160. On the other hand, the HDLC processing section 150 performs zero clearance from a carrier beam HDLC frame, and detection of a flag/abort sequence from the HDLC frame I/O section 160, takes out a PPP packet, and sends it to the data transfer processing means 132. Moreover, the HDLC processing section 150 performs serial/parallel conversion of data in connection with the data transfer of the HDLC frame of serial transmission and reception, and the PPP packet of parallel transmission and reception.

[0013] The HDLC frame I/O section 160 has a driver/receiver which sends and receives the HDLC frame between the HDLC processing section 150 and a telephone network 173, waits for establishment of a PPP connection (for example, 177A), and transmits the HDLC frame.

[0014] Next, the packet communication mode by LANE based on an ATM technique which delivers and receives a packet using two or more logic circuits set as one physical circuit is explained with reference to a drawing.

[0015] First, with the configuration of LANE shown in drawing 7, the router 271 or Terminals 272A and 272B containing the packet I/O section 210, the packet storage section 220, the software processing section 230 including the LANE processing means 231, the LANE packet storage section 240, the ATM cel-ized section 250, and the ATM cel I/O section 260 have connected with the ATM network 273.

[0016] a router 271 and Terminals 272A and 272B -- each -- the physical circuits 275, 276A and 276B of 1 to 1 -- it was alike, respectively and has connected with the logic multiplexer 274 more. between a router 271 and terminal 272A -- between ATM logic circuit 277A, and routers 271 and terminal 272B -- ATM logic circuit 277B -- each is connected through the logic multiplexer 274. The ATM logic circuits 277A and 277B are multiplexed by one physical circuit 275 with the logic multiplexer 274. Moreover, the ATM network 273 is equipped with various servers, such as LAN emulation configuration server, LAN emulation server, and LAN emulation broadcasting - and - ANNON server, and the LANE server 278 for the interconnect actuation between LAN and an ATM network.

[0017] Next, the function with which combines and refers to drawing 7 (B) to drawing 7 (A), and a router 271 or Terminals 272A and 272B are equipped is explained.

[0018] The packet I/O section 210 notifies having stored and stored in the packet storage section 220 in response to the LAN frame by the packet to the LANE processing means 231. On the other hand, the packet I/O section 210 reads the packet in which the advice stored in the packet storage section 220 was stored from the LANE processing means 231 on the carrier beam occasion from the packet storage section 220, and outputs it.

[0019] The LANE processing means 231 notifies having stored, while changing the carrier beam LAN frame into the LANE packet from the packet storage section 220 and storing in the LANE packet storage section 140 to the ATM cel-ized section 250. On the other hand, the LANE processing means 231 notifies having stored, while changing the carrier beam LANE packet into the LAN frame from the LANE packet storage section 140 and storing in the packet storage section 220 to the packet I/O section 210.

[0020] Moreover, the LANE processing means 231 with which the router 271 shown in drawing 7 (B) is equipped, for example directs to establish / release the ATM logic circuits 277A and 277B to the LANE server 278, and performs an inquiry for the address solution between the MAC (Media Access Control) address and the ATM address. That is, the LANE processing means 231 requires the ATM address corresponding to the MAC Address of a packet of the LANE server 278, and establishes ATM logic circuit 277A between terminal 272A through the physical circuit 275, the logic multiplexer 274, and physical circuit 276A based on the ATM address to which it replied.

[0021] While return and the ATM cel-ized section 250 cel-ize the LANE packet read from the LANE packet storage section 240 to drawing 7 (A) by AAL5 (ATM Adaptation Layer Type 5) and transmit it to it to the ATM cel I/O section 260, they assemble a carrier beam ATM cel from the ATM cel I/O section 260 to a LANE packet, store it in the LANE packet storage section 240, and notify this storing to it to the LANE processing means 231.

[0022] While the ATM cel I/O section 260 takes the cel synchronization in an ATM network frame and sends a cel to the receipt ATM cel-ized section 250, it maps a carrier beam cel in an ATM network frame from the ATM cel-ized section 250.

[0023] The logic multiplexer 274 minds the ATM logic circuits 277A and 277B by two or more two physical circuits 276A and 276B in the example of drawing 7 (B), and is VPI/VCI (Virtual Path Identifier/Virtual Channel Identifier) to a carrier beam cel. A value is changed if needed and it transmits through one physical circuit 275.

[0024]

[Problem(s) to be Solved by the Invention] There are the following troubles in the packet communication mode based on the conventional PPP mentioned above.

[0025] The 1st trouble is that a miniaturization and lightweight-izing are difficult.

[0026] The reason is that it is necessary to have same number as the number of the data terminals held of physical circuit trailers in a router since a transmitting side and a receiving side are connected by the physical circuit of 1 to 1.

[0027] The 2nd trouble is that the utilization ratio of a circuit is low.

[0028] The reason is that the packet communication which can use one physical circuit simultaneously is limited to one.

[0029] The 3rd trouble is that improvement in the speed of data transfer is difficult.

[0030] The reason is because it is necessary to perform HDLC processing which is complicated and requires time amount to a data transfer.

[0031] In the packet communication mode by LANE based on the ATM technique which can solve these three troubles, there is the 4th trouble that the simplification of a system and improvement in maintainability are difficult.

[0032] Dynamic allocation of the solution of the address realized by the packet communication mode based on above-mentioned PPP, user authentication, and the address is impossible for the reason, and it is because the means corresponding to each is needed in order to make these possible.

[0033] The technical problem of this invention has high transmission efficiency at small and the lightweight one which can solve all the above-mentioned troubles simultaneously, and a high speed, is simultaneously simple, and is offering a packet communication mode with high maintainability.

[0034]

[Means for Solving the Problem] In the packet communication mode which communicates through an ATM network by the international-standards packet, it connected with said ATM network and the packet communication mode by this invention is equipped with a conversion

means to perform the interconversion of the PPP packet based on PPP which changed said international-standards packet, said ATM network, and the ATM cel that are outputted and inputted.

[0035] Moreover, two or more PPP upper layer processing means for said conversion means to carry out termination of the PPP connection formed in the interior of two or more logic circuits of each multiplexed by one physical circuit to said ATM network, and to perform upper layer processing based on said PPP. It has a symmetry means to distribute each packet and cel for conversion suitable for said PPP upper layer processing means. Said symmetry means A PPP packet symmetry means to distribute a carrier beam ATM cel to said suitable PPP upper layer processing means using the identifier of the logic circuit set as said physical circuit from said ATM network. A concrete configuration including a packet symmetry means to distribute a carrier beam packet to said suitable PPP upper layer processing means using the address of a packet from the upper layer can be proposed.

[0036] By the interconversion of the PPP packet mentioned above and the ATM cel which are outputted and inputted on an ATM network, one PPP connection can be set up in one ATM logic circuit. Therefore, it becomes possible for it to be alike if two or more ATM logic circuits are set as one physical circuit, and to carry out multiplex [of two or more PPP connections] into one physical circuit. Furthermore, in the trailer of a physical circuit, the symmetry means of a packet is identifying the PPP connection by distributing the I/O packet or PPP packet which is international standards based on the address and the VPI/VCI value of a packet to the suitable PPP upper layer processing means corresponding to two or more PPP connections of each.

[0037]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained with reference to a drawing.

[0038] Drawing 1 is the functional block diagram showing one gestalt of operation of this invention. The functional block diagram shown in drawing 1 shows the configuration of the physical circuit trailer to the ATM network in the packet communication mode by this invention, and is constituted by the packet I/O section 1, the software processing section 2, the packet storage sections 3A and 3B, the PPP packet storage section 4, the ATM cel-ized section 5, and the ATM cel I/O section 6. Moreover, the software processing section 2 shall be equipped with the packet symmetry means 21, the PPP upper layer processing means 22A and 22B, and the PPP packet symmetry means 23.

[0039] The point of difference with the former LAN which has address DA/SA (Destination Address/Source Address) (Local Area Network) The upper packet is changed into the PPP packet by PPP (Point to Point Protocol). And it is VPI/VCI (Virtual Path Identifier/VirtualChannel Identifier) so that the logic multiplexer of an ATM network can be used. It forms in the cel of an ATM screen oversize which added the value. On the other hand It is having changed the cel into the packet in the procedure of this reverse.

[0040] While transmitting the packet I/O section 1 to the packet symmetry means 21 in response to the LAN packet which has address DA/SA in LAN, it shall send out a carrier beam LAN packet to LAN based on address DA/SA from the packet symmetry means 21.

[0041] The packet symmetry means 21 carries out transfer storing of the LAN packet from the packet I/O section 1 to packet storage section 3A (or 3B) which judged and judged destination packet storage section 3A (or 3B) based on the destination address of a carrier beam LAN packet. Under the present circumstances, the packet symmetry means 21 notifies having stored in packet storage section 3A (or 3B) to PPP upper layer processing means 22A (or 22B) which should receive a LAN packet. On the other hand, the packet symmetry means 21 transmits a carrier beam LAN packet for a LAN packet to the packet I/O section 1 from packet storage section 3A (or 3B) in the carrier beam case.

[0042] PPP upper layer processing means 22A (or 22B) shall change a carrier beam LAN packet into a PPP packet from packet storage section 3A (or 3B) based on RFC 1663, 1332, and 1334 in IETF, and shall send it to the PPP packet symmetry means 23. On the other hand, PPP upper layer processing means 22A (or 22B) shall notify this thing [having stored] to the packet symmetry means 21 while it changes a carrier beam main signal PPP packet into a LAN packet

from the PPP packet symmetry means 23 and stores it in packet storage section 3A (or 3B).

[0043] Moreover, PPP upper layer processing means 22A (or 22B) establishes / releases a PPP connection, performs user authentication, allocates dynamically IP (Internet Protocol) address applicable to the Internet Protocol it is supposed that is used as a LAN protocol address, and makes the PPP packet for control further generation / thing which carries out termination.

therefore, the PPP upper layer processing means 22A and 22B -- each shall be prepared with the packet storage sections 3A and 3B corresponding to a VPI/VCI value

[0044] The PPP packet symmetry means 23 shall notify this storing to the ATM cel-ized section 5 while it receives a PPP packet from PPP upper layer processing means 22A (or 22B) and stores it in the PPP packet storage section 4. Under the present circumstances, PPP upper layer processing means 22A (or 22B) which is the sending-out origin of a PPP packet shall be identified, a VPI/VCI value shall be determined based on a discernment result, and this VPI/VCI value shall be notified to the ATM cel-ized section 5.

[0045] On the other hand, in case the PPP packet symmetry means 23 reads a PPP packet from the PPP packet storage section 4, it shall be distributed to PPP upper layer processing means 22A (or 22B) which chose the PPP packet which chose and read suitable PPP upper layer processing means 22A (or 22B) based on the VPI/VCI value notified from the ATM cel-ized section 5.

[0046] By mapping the PPP packet which received advice of storing from the PPP packet symmetry means 23, and was taken out from the PPP packet storage section 4 based on the definition of RFC1483 of IETF in the pay-load section of CPCS-PDU (Common Part Convergence Sublayer-Protocol Data Unit) of AAL5, the ATM cel-ized section 5 shall generate an ATM cel, and shall send it out to the ATM cel I/O section 6. On the other hand, the ATM cel-ized section 5 shall change a carrier beam ATM cel into a PPP packet from the ATM cel I/O section 6, shall store it in the PPP packet storage section 4, and shall notify this thing [having stored] and the VPI/VCI value of a cel to the PPP packet symmetry means 23.

[0047] While the ATM cel I/O section 6 takes the cel synchronization in an ATM network frame and transmits it to the ATM cel-ized section 5 in response to an ATM cel, it shall map a carrier beam cel in an ATM network frame from the ATM cel-ized section 5.

[0048] Next, drawing 2 is combined and referred to to drawing 1 , and the main operations sequence in the above-mentioned configuration is explained.

[0049] First, when there is no input of a LAN packet in the packet I/O section 1 (NO of step S1) and there is no input of an ATM cel in the ATM cel I/O section 6 (NO of step S21), a procedure waits for the input of return, a LAN packet, or an ATM cel to step S1.

[0050] The above-mentioned step S1 transmits the LAN packet which the packet I/O section 1 inputted to the packet symmetry means 21, when a LAN packet inputs by "YES." The packet symmetry means 21 is stored in packet storage section 3A (or 3B) based on the symmetry place which the suitable symmetry place was determined [place] based on the destination address (DA) of a LAN packet (step S2), and had the carrier beam LAN packet determined (step S3). Subsequently, the packet symmetry means 21 notifies having stored the LAN packet in PPP upper layer processing means 22A (or 22B) corresponding to packet storage section 3A (or 3B) which is a storing place (step S4).

[0051] PPP upper layer processing means 22A (or 22B) reads a LAN packet from packet storage section 3A (or 3B), and changes it into a main signal PPP packet, and upper layer processing which generates the PPP packet for control further is performed (step S5). Subsequently, PPP upper layer processing means 22A (or 22B) transmits the PPP packet containing the main signal and the object for control to the PPP packet symmetry means 23 (step S6).

[0052] The PPP packet symmetry means 23 notifies having stored and (step S7) stored the carrier beam PPP packet in the PPP packet storage section 4, and the VPI/VCI value corresponding to PPP upper layer processing means 22A (or 22B) of a sending out agency to the ATM cel-ized section 5 (step S8).

[0053] The ATM cel-ized section 5 reads and cel-izes a PPP packet from the PPP packet storage section 4 (step S9), and sends it out to an ATM network through the ATM cel I/O section 6 (step S10). Consequently, a procedure progresses to the above-mentioned step S21

which waits for the input of an ATM cel in the ATM cel I/O section 6, and returns to the above-mentioned step S1 which waits for the input of the following LAN packet in the packet I/O section 1.

[0054] On the other hand, the above-mentioned step S21 transmits the ATM cel which the ATM cel I/O section 6 inputted to the ATM cel-ized section 5, when an ATM cel inputs by "YES."

[0055] The ATM cel-ized section 5 assembles a PPP packet in response to an ATM cel from the ATM cel I/O section 6 (step S22). The ATM cel-ized section 5 notifies having stored and (step S23) stored the assembled PPP packet in the PPP storage section 4, and the VPI/VCI value of the cel which assembled the PPP packet to the PPP packet symmetry means 23 (step S24).

[0056] The PPP packet symmetry means 23 is determined based on the VPI/VCI value to which destination PPP upper layer processing means 22A (or 22B) of the PPP packet read from the PPP packet storage section 4 was notified, and distributes and transmits the PPP packet read to determined PPP upper layer processing means 22A (or 22B) (step S25).

[0057] PPP upper layer processing means 22A (or 22B) performs upper layer processing which changes into a LAN packet the main signal acquired from the carrier beam PPP packet, and carries out termination of the PPP packet for control (step S26). Subsequently, it notifies that PPP upper layer processing means 22A (or 22B) stored and (step S27) stored the changed LAN packet in packet storage section 3A (or 3B) corresponding to self to the packet symmetry means 21 (step S28).

[0058] The packet symmetry means 21 reads a LAN packet from packet storage section 3A (or 3B), and transmits it to the packet I/O section 1 (step S29). The packet I/O section 1 outputs a carrier beam LAN packet (step S30). Consequently, in the packet I/O section 1, it moves to the above-mentioned step S1 which waits for the input of a LAN packet, and a procedure returns to the above-mentioned step S21 which waits for the input of the following ATM cel in the ATM cel I/O section 6.

[0059] Although the packet outputted and inputted was expressed as the packet on LAN which has address DA/SA, and the LAN packet and was explained by the above-mentioned explanation in order to discriminate from a PPP packet, the network of other classes, for example, the packet applied to Ethernet, and the packet based on IP of a wide area are sufficient as the packet applied, without being limited to LAN, if it applies to the international-standards protocol specified in ITU-T (International Telecommunications Union-Telecommunications) correspondingly.

[0060] Although the PPP upper layer processing means was illustrated as two symmetry places and the above-mentioned explanation explained it with the VPI/VCI value In the case of the terminal simple substance one logic circuit is sufficient as whose physical circuit trailer to an ATM network, since **** [the number of a PPP upper layer processing means and the packet storage sections / one], while the symmetry means of a LAN packet and a PPP packet is omissible When connecting like a router the logic circuit by which plurality was multiplexed, two or more PPP upper layer processing means and the packet storage sections are prepared.

[0061]

[Example] Next, the connection configuration and actuation in the ATM network which applied the gestalt of the above-mentioned implementation are explained with reference to the example shown in drawing 3 . In the following explanation, while being able to apply IP and outputting and inputting an IP packet, each terminal shall acquire the IP address.

[0062] The condition that the router 71 is connected with Terminals 72A and 72B through the ATM network 73 is shown by drawing 3 . The ATM network 73 is equipped with the logic multiplexer 74. Moreover, the physical circuit 75 has connected the router 71 and the logic multiplexer 74. furthermore, the physical circuits 76A and 76B -- each -- Terminals 72A and 72B -- respectively -- ** -- the logic multiplexer 74 is connected. a router 71 and Terminals 72A and 72B -- respectively -- **** -- the physical circuit 75, the logic multiplexer 74, and the physical circuits 76A and 76B -- the ATM logic circuits 77A and 77B through each -- it is alike, respectively and connection is established more. Therefore, the logic multiplexer 74 has the function which carries out multiplex [of the two ATM logic circuits 77A and 77B] to one physical circuit 75.

[0063] the ATM logic circuits 77A and 77B -- each -- Terminals 72A and 72B -- respectively --
 -- ** -- it has VPI/VCI value =a/b and each c/d between the logic multiplexers 74. moreover,
 the ATM logic circuits 77A and 77B -- each has VPI/VCI value =e/f and each g/h between the
 router 71 and the logic multiplexer 74. Terminals 72A and 72B -- each -- after user
 authentication and a PPP connection -- the inside of ATM logic circuit 77A and 77B --
 respectively -- alike -- being established -- IP address x and y -- it shall have each

[0064] The router 71 has functional block shown in drawing 1 . on the other hand -- Terminals
 72A and 72B -- since each assumes communicating only with a router 71, it has functional block
 in case the number of the PPP upper layer processing means 22A and 22B and the packet
 storage sections 3A and 3B is one in drawing 1 . therefore, the terminals 72A and 72B --
 respectively -- coming out -- the packet symmetry means 21 and the PPP packet symmetry
 means 23 in drawing 1 are unnecessary.

[0065] Next, drawing 4 is combined and referred to to drawing 3 , and the outline [in / it gets
 down and / a packet transfer of a direction] of operation from a router 71 to terminal 72A is
 explained.

[0066] The router 71 has the same configuration also in drawing 1 . On the other hand, the
 packet symmetry means 21 and the PPP packet symmetry means 23 are deleted from the
 configuration of drawing 1 , and terminal 72A is constituted by software processing section 2D
 which has packet I/O section 1D, packet storage section 3D, and PPP upper layer processing
 means 22D, PPP packet storage section 4D, ATM cel-ized section 5D, and ATM cel I/O section
 6D, as mentioned above. Incidentally, the functional content of each component in terminal 72A
 is the same as that of the component of the same name in drawing 1 .

[0067] First, a router 71 shall receive the IP packet which has address DA/SA=x/y by IP by the
 packet I/O section 1. The packet I/O section 1 transmits a carrier beam IP packet to the packet
 symmetry means 21.

[0068] The packet symmetry means 21 notifies a storing place to PPP upper layer processing
 means 22A while transmitting and storing a carrier beam IP packet in packet storage section 3A
 corresponding to destination address DA=x which this IP packet has. PPP upper layer processing
 means 22A reads an IP packet from packet storage section 3A, changes it into a PPP packet,
 and transmits this changed PPP packet to the PPP packet symmetry means 23. The PPP
 packet symmetry means 23 notifies VPI/VCI value =e/f used in the case of cel-izing to the ATM
 cel-ized section 5 while it recognizes having received the PPP packet from PPP upper layer
 processing means 22A and stores a carrier beam PPP packet in the PPP packet storage section
 4.

[0069] The ATM cel-ized section 5 reads a PPP packet from the PPP packet storage section 4,
 cel-izes, and notified VPI/VCI value =e/f is added to the created cel, and it transmits it to the
 ATM cel I/O section 6. The ATM cel I/O section 6 sends out a carrier beam cel to terminal 72A
 through the physical circuit 75 from the ATM cel-ized section 5.

[0070] Based on VPI/VCI value =e/f, an ATM logic circuit 77A top is transmitted to this cel to
 the logic multiplexer 74. The logic multiplexer 74 changes VPI/VCI value =e/f which this cel has
 for VPI/VCI value =a/b beforehand set to terminal 72A to ATM logic circuit 77A by which
 termination is carried out to a carrier beam cel, and sends out this changed cel through physical
 circuit 76A.

[0071] Therefore, the IP packet of address DA/SA=x/z is changed into a PPP packet, and this
 cel turns into an ATM cel to which VPI/VCI value =a/b was added. Based on VPI/VCI value
 =a/b, an ATM logic circuit 77A top is transmitted to this cel to terminal 72A.

[0072] In terminal 72A, ATM cel I/O section 6D receives a cel from on ATM logic circuit 77A,
 and transmits this cel to ATM cel-ized section 5D. ATM cel-ized section 5D notifies this thing
 [having stored] to PPP upper layer processing means 22D while it assembles a PPP packet
 from a carrier beam cel and stores this PPP packet in PPP packet storage section 4D.

[0073] PPP upper layer processing means 22D reads a PPP packet from PPP packet storage
 section 4D, and changes it into an IP packet. Moreover, PPP upper layer processing means 22D
 stores the changed IP packet in packet storage section 3D, and notifies this thing [having
 stored] to packet I/O section 1D.

[0074] Packet I/O section 1D reads and sends out an IP packet from packet storage section 3D.

[0075] Next, drawing 5 is combined and referred to to drawing 3, and the outline of operation in a packet transfer of the going-up direction from terminal 72A to a router 71 is explained. The component shown in drawing 5 is the same as that of drawing 4.

[0076] Terminal 72A receives the IP packet of address DA/SA=z/x by packet I/O section 1D, stores a carrier beam IP packet in packet storage section 3D, and notifies this thing [having stored] to PPP upper layer processing means 22D. Subsequently, PPP upper layer processing means 22D reads an IP packet from packet storage section 3D, and changes it into a PPP packet. Moreover, PPP packet storage section 4D stores this changed PPP packet, and PPP upper layer processing means 22D notifies this thing [having stored] to ATM cel-ized section 5D.

[0077] ATM cel-ized section 5D reads a PPP packet from PPP packet storage section 4D, changes it into a cel with VPI/VCI value =a/b, and transmits this cel to ATM cel I/O section 6D. ATM cel I/O section 6D sends out a carrier beam cel to a router through physical circuit 76A from ATM cel-ized section 5D.

[0078] As for this cel, an ATM logic circuit 77A top is sent to the logic multiplexer 74. The logic multiplexer 74 changes VPI/VCI value =a/b which a cel has for VPI/VCI value =e/f beforehand set to ATM logic circuit 77A by which termination is carried out to a router 71, and sends out a carrier beam cel to the physical circuit 75 linked to a router 71 from terminal 72A. Therefore, this cel is an ATM cel by which VPI/VCI value =e/f was added to that from which the packet of address DA/SA=z/x was changed into the PPP packet.

[0079] In a router 71, the ATM I/O section 6 transmits to the ATM cel-ized section 5 in response to this cel. It notifies the ATM cel-ized section 5 having assembled the PPP packet from the carrier beam cel, having stored this PPP packet in the PPP packet storage section 4, and having been assembled from this thing [having stored] and the cel in which the stored PPP packet has VPI/VCI value =e/f to the PPP packet symmetry means 23.

[0080] The PPP packet symmetry means 23 reads a PPP packet from the PPP packet storage section 4, and transmits a PPP packet to PPP upper layer processing means 22A based on the VPI/VCI value notified from the ATM cel-ized section 5. PPP upper layer processing means 22A notifies this thing [having stored] to the packet symmetry means 21 while it changes a carrier beam PPP packet into an IP packet and stores it in packet storage section 3A.

[0081] The packet symmetry means 21 reads an IP packet from packet storage section 3A, and transmits it to the packet I/O section 1. The packet I/O section 1 sends out a carrier beam IP packet based on address DA/SA=z/x.

[0082]

[Effect of the Invention] According to this invention, the following effectiveness can be acquired as explained above.

[0083] The 1st effectiveness is it being able to be small and being able to constitute equipment lightweight.

[0084] Since the reason can multiplex the PPP connection based on each logic circuit in one physical circuit, it is because the magnitude of the circuit trailer with which equipment is equipped is reducible.

[0085] The 2nd effectiveness is being able to improve the transmission efficiency of the physical circuit in an ATM network.

[0086] Since the reason can multiplex two or more PPP connections in one physical circuit, it is because the packet used for the communication link with two or more terminals can be delivered and received using a single physical circuit.

[0087] The 3rd effectiveness is that packet communication is accelerable.

[0088] Since framing of AAL5 can be used for the reason, it is because the HDLC processing which needs time amount for processing can be deleted.

[0089] The 4th effectiveness is that the simplification of a system and improvement in maintainability were attained.

[0090] The reason is because the various servers for address solutions in an ATM network are

made unnecessary and a user authentication function and the dynamic allocation function of an IP address can be offered by PPP.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the functional block diagram showing one gestalt of operation of this invention.

[Drawing 2] It is the flow chart which shows one gestalt of the main operations sequence in drawing 1 .

[Drawing 3] It is the functional block diagram showing the example of 1 configuration of operation of this invention.

[Drawing 4] It is the functional block diagram which was applied to drawing 1 and drawing 3 and which gets down and explains one example of actuation of a direction.

[Drawing 5] It is a functional block diagram explaining one example of actuation of the going-up direction applied to drawing 1 and drawing 3 .

[Drawing 6] It is the functional block diagram showing a conventional example using a PPP connection.

[Drawing 7] It is the functional block diagram showing a conventional example using a LAN emulation.

[Description of Notations]

1 Packet I/O Section

2 Software Processing Section

3A, 3B Packet storage section

4 PPP Packet Storage Section

5 ATM Cel-ized Section

6 ATM Cel I/O Section

21 Packet Symmetry Means

22A, 22B PPP upper layer processing means

23 PPP Packet Symmetry Means

71 Router

72A, 72B Terminal

73 ATM Network

74 Logic Multiplexer

75, 76A, 76B Physical circuit

77A, 77B ATM logic circuit

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

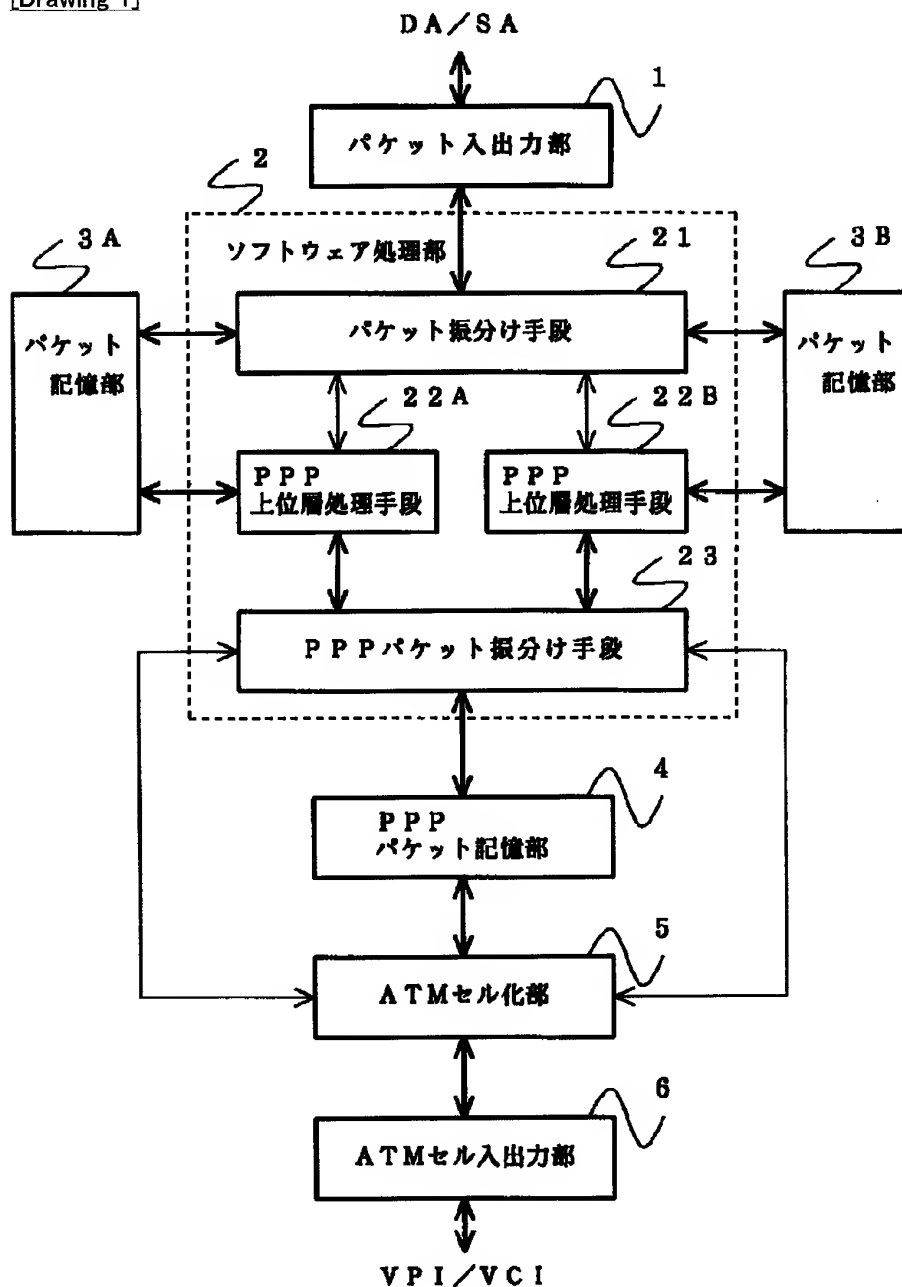
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

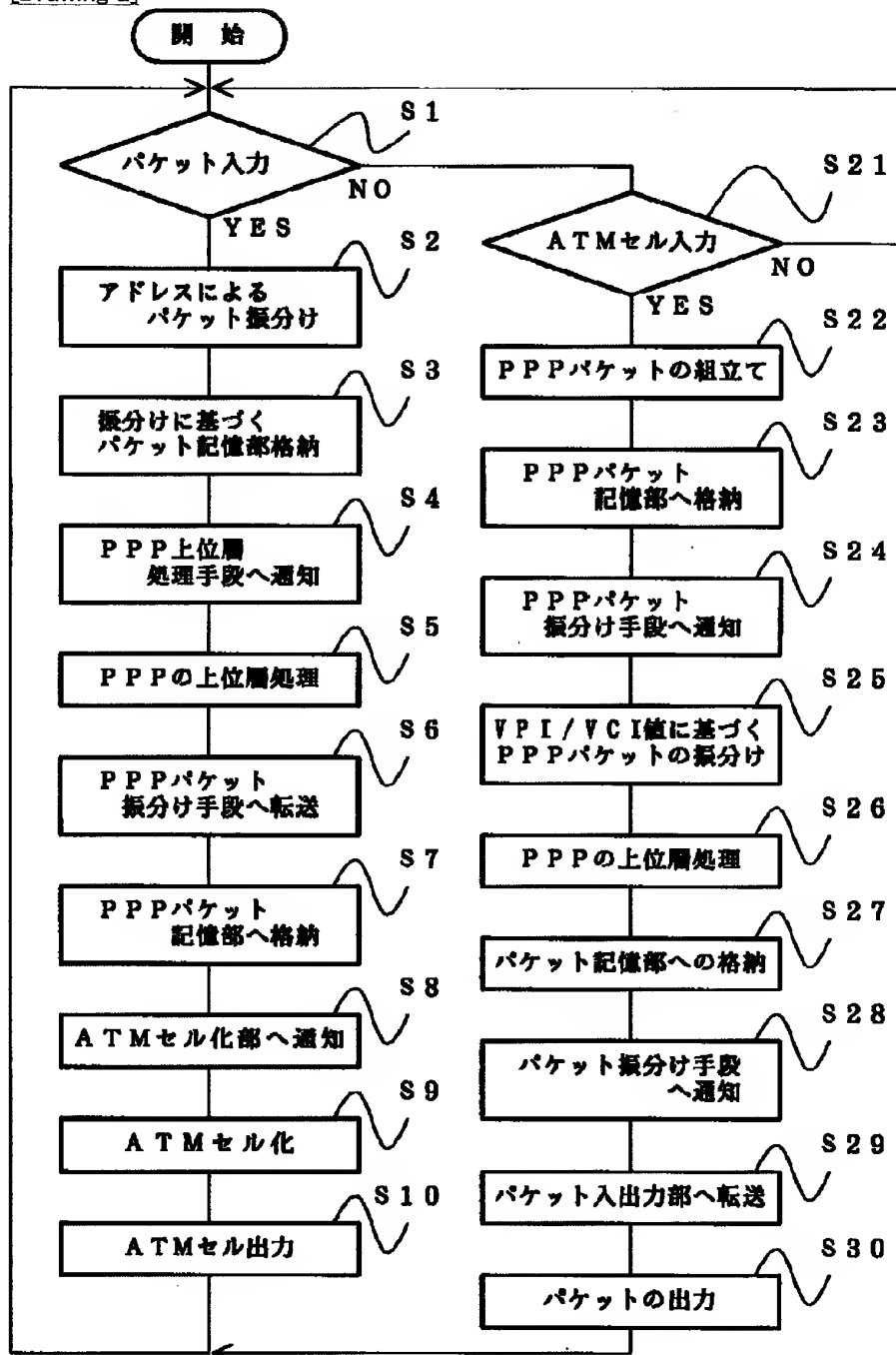
3.In the drawings, any words are not translated.

DRAWINGS

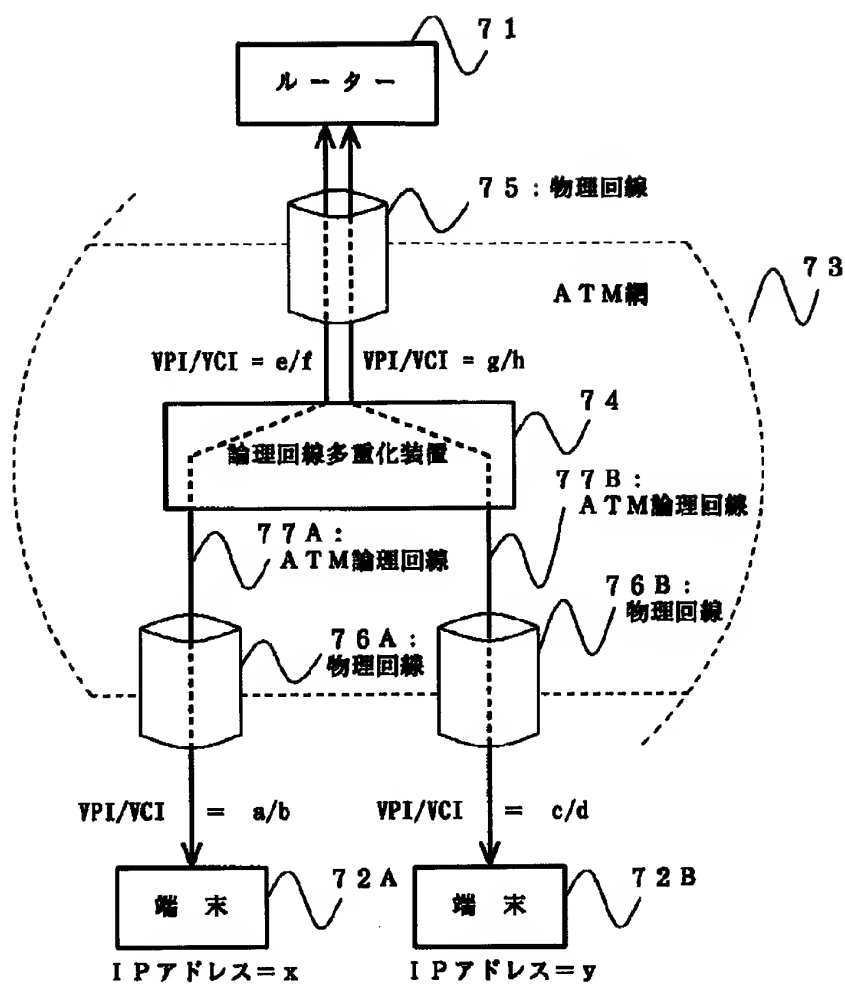
[Drawing 1]



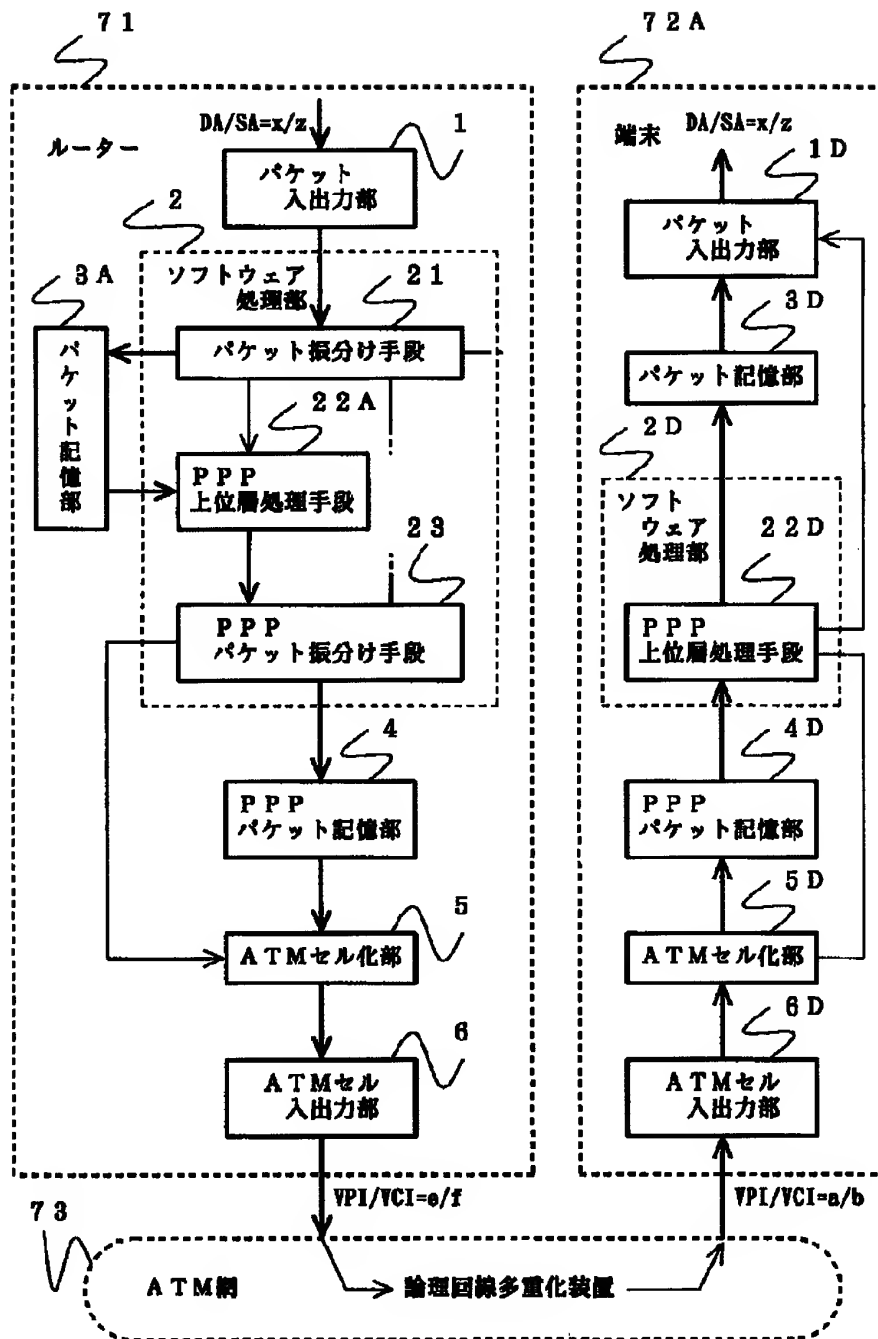
[Drawing 2]



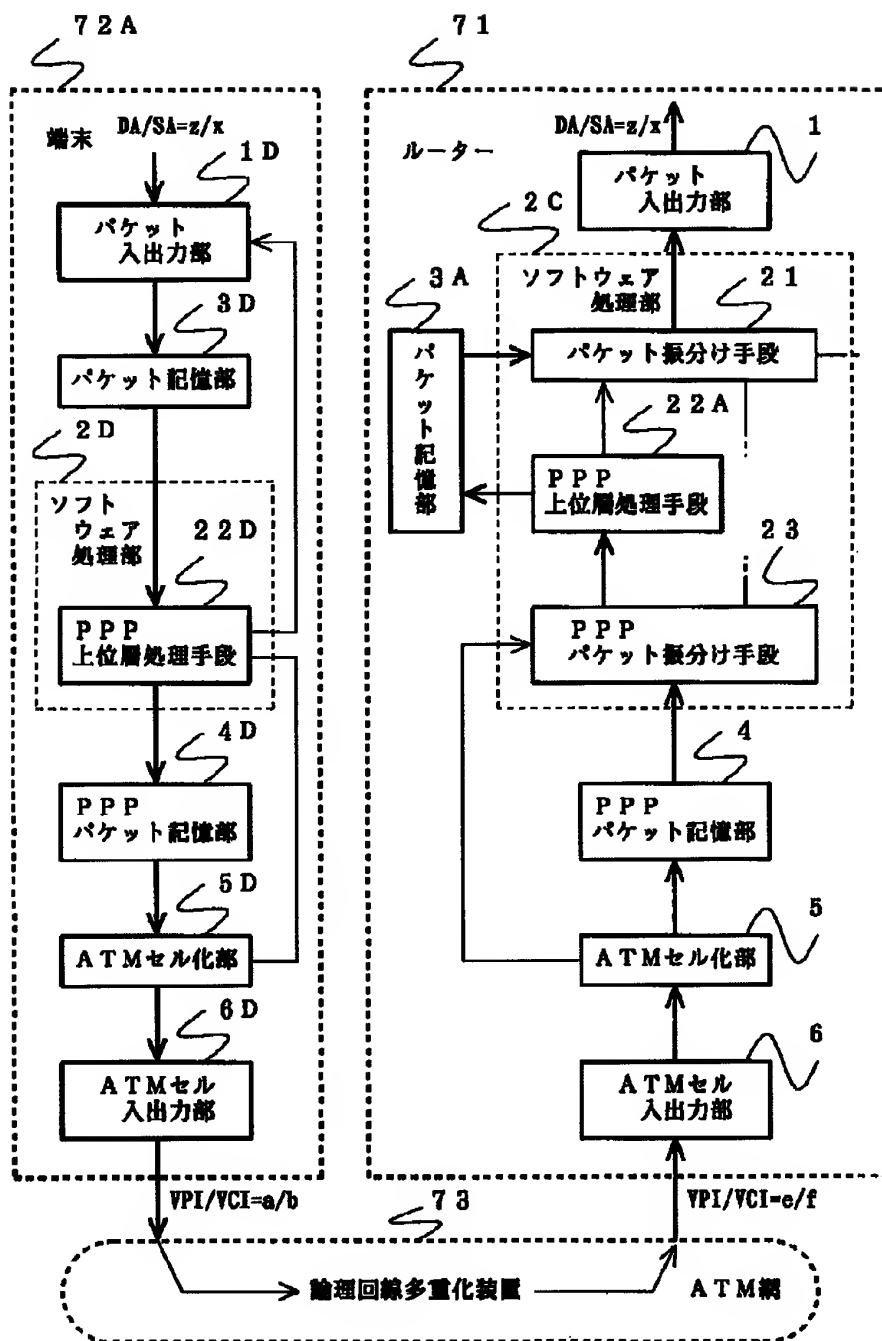
[Drawing 3]



[Drawing 4]

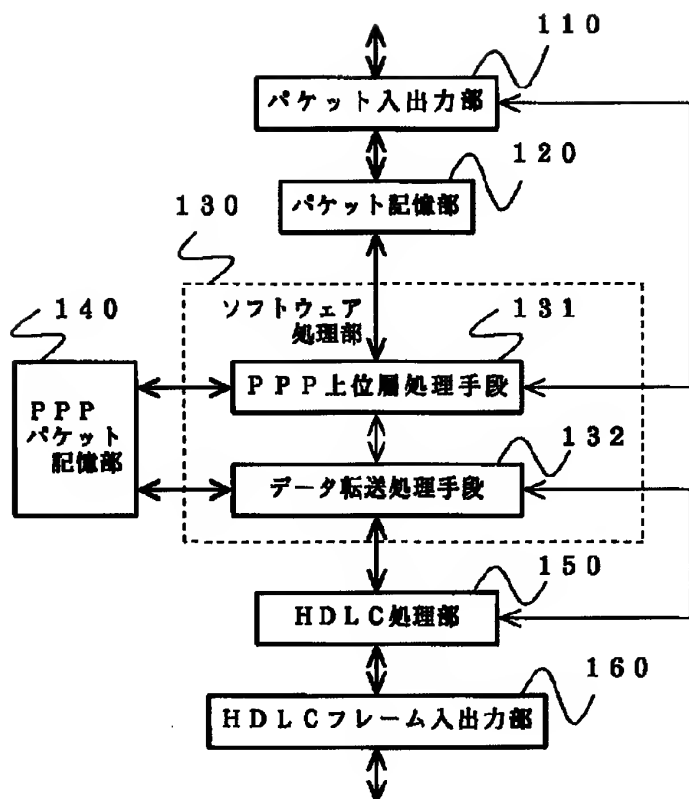


[Drawing 5]

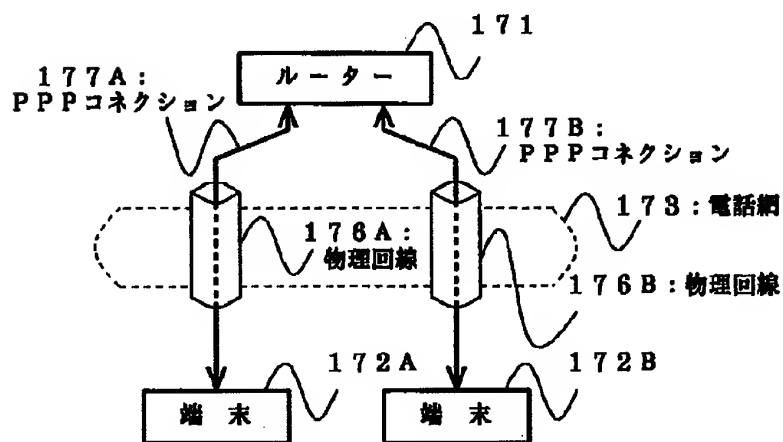


[Drawing 6]

(A)

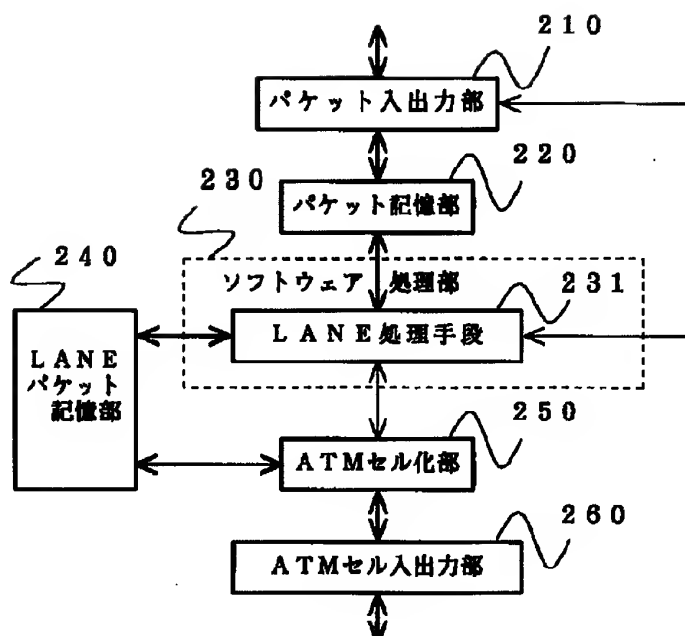


(B)

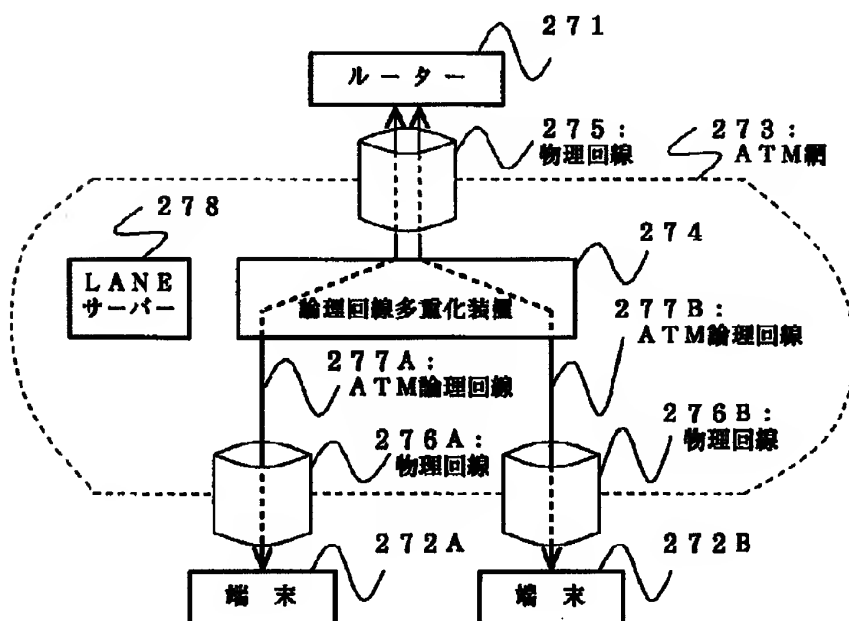


[Drawing 7]

(A)



(B)



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-322399

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 4 L 12/66		H 0 4 L 11/20	B
	12/56	H 0 4 Q 3/00	
H 0 4 Q 3/00		H 0 4 L 11/20	1 0 2 A

審査請求 有 請求項の数6 O L (全 15 頁)

(21) 出願番号 特願平9-128238

(22) 出願日 平成9年(1997)5月19日

特許法第30条第1項適用申請有り 1997年3月6日 社団法人電子情報通信学会発行の「1997年電子情報通信学会総合大会講演論文集 通信2」に発表

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 松田 修

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 西原 純一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 三浦 正範

東京都港区芝五丁目7番1号 日本電気株式会社内

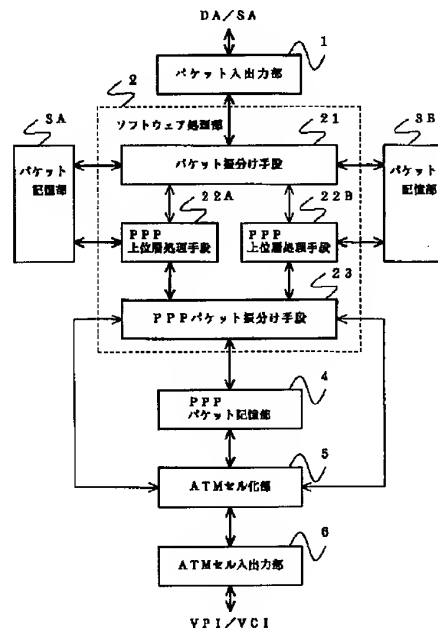
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 パケット通信方式

(57) 【要約】

【課題】 小型・軽量、かつ高速で伝送効率が高く、同時に簡素で保守性が高いこと。

【解決手段】 国際標準パケットをATM網を介して通信する際、国際標準パケットとATMセルとの間で、PPPパケットの変換のためのPPP上位層処理手段22とVPI/VCI値の付加/識別のためのATMセル化部5とを備え、一つの物理回線に多重される複数のPPPコネクションに対応してPPP上位層処理手段22A、22Bおよび国際標準パケットを格納するパケット記憶部3A、3B、並びに、国際標準パケットをこれらに振り分けるパケット振り分け手段21およびPPPパケット振り分け手段23を設けている。この構成により、一つの物理回線に複数のATM論理回線を多重化でき、かつ、PPPに基づく機能およびATMの付加機能を発揮することができる。



【特許請求の範囲】

【請求項1】 国際標準パケットによりATM (Asynchronous Transfer Mode) 網を介して通信するパケット通信方式において、前記ATM網に接続し、前記国際標準パケットを変換したPPP (Point-to-Point protocol) に基づくPPPパケットと前記ATM網と入出力するATMセルとの相互変換を行う変換手段を備えることを特徴とするパケット通信方式。

【請求項2】 請求項1において、前記変換手段は、前記ATM網に対して一つの物理回線に多重化された複数の論理回線それぞれの内部に形成されるPPPコネクションを終端し、前記PPPに基づく上位層処理を行う複数のPPP上位層処理手段と、変換対象のパケットおよびセルそれぞれを前記PPP上位層処理手段に適切に振り分ける振分け手段とを備えることを特徴とするパケット通信方式。

【請求項3】 請求項2において、前記振分け手段は、前記ATM網から受けたATMセルを前記物理回線に設定された論理回線の識別子を用いて適切な前記PPP上位層処理手段に振り分けるPPPパケット振分け手段を含むことを特徴とするパケット通信方式。

【請求項4】 請求項2において、前記振分け手段は、上位層から受けたパケットを適切な前記PPP上位層処理手段に振り分けるパケット振分け手段を含むことを特徴とするパケット通信方式。

【請求項5】 請求項4において、前記振分け手段は、上位層から受けたパケットをパケットのアドレスを用いて適切な前記PPP上位層処理手段に振り分けるパケット振分け手段を含むことを特徴とするパケット通信方式。

【請求項6】 請求項5において、前記振分け手段は、更に、前記ATM網から受けたATMセルを前記物理回線に設定された論理回線の識別子を用いて適切な前記PPP上位層処理手段に振り分けるPPPパケット振分け手段をも含むことを特徴とするパケット通信方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、国際標準パケットによりATM (Asynchronous Transfer Mode) 網を介して通信するパケット通信方式に関し、特に、通信装置の小型化・軽量化に加え、アドレス変換、ユーザ認証、およびアドレスの動的割当てを可能にするパケット通信方式に関する。

【0002】

【従来の技術】 従来、この種のパケット通信方式では、送信側と受信側とを1対1の物理回線で接続し、この物理回線を用いてパケットの授受を行う場合と、物理回線内に複数の論理回線を設定し、設定された論理回路を用いてパケットの授受を行う場合とがある。

【0003】 前者の一例としては、IETF (Internet

Engineering Task Force) のRFC (Request for Comment) 1661, 1332, 1334で定義されたPPP (Point-to-Point protocol) に基づくパケット通信方式があり、また、後者の一例としては、ATM・フォーラム・テクニカル・コミッティにおけるLAN (Local Area Network) エミュレーション・オーバー・ATMバージョン1.0で定義されたATM技術に基づくLANE (Local Area Network Emulation) がある。

【0004】 まず、PPPに基づくパケット通信方式では、図6 (B) に示されるルーター171または端末172A, 172Bが、図6 (A) に示されるような、パケット入出力部110、パケット記憶部120、ソフトウェア処理部130、PPPパケット記憶部140、HDLC (High Level Data Link Control) 処理部150、およびHDLCフレーム入出力部160を備え、電話網173に接続されている。

【0005】 また、ソフトウェア処理部130には、PPP上位層処理手段131およびデータ転送手段132が含まれている。また、ルーター171は、端末172A, 172Bそれぞれと電話網173における物理回線176A, 176Bそれぞれを介して接続され、物理回線176A, 176Bそれぞれに1本ずつのPPPコネクション177A, 177Bが確立される。

【0006】 次に、図6 (A) に図6 (B) を併せ参照してルーター171または端末172A, 172Bが備える機能について説明する。

【0007】 パケット入出力部110は、イーサネット (Ethernet) またはインターネット (Internet) などから受けたパケット (ここではLAN (Local Area Network) パケットと呼称することとする) を、パケット記憶部120に格納すると共にこの格納したことをPPP上位層処理手段131へ通知する。一方、パケット入出力部110は、パケット記憶部120に格納されたLANパケットをPPP上位層処理手段131から指示を受け読み出して出力する。

【0008】 PPP上位層処理手段131は、IETFのRFC1661, 1332, 1334で定義された処理を行う。すなわち、PPP上位層処理手段131は、パケット記憶部120から受けたLANパケットを主信号PPPパケットに変換し、更に後述する制御用PPPパケットを生成してPPPパケット記憶部140に格納すると共にデータ転送処理手段132へ通知する。一方、PPP上位層処理手段131は、PPPパケット記憶部140から受けた主信号PPPパケットをLANパケットに変換してパケット記憶部120に格納しパケット入出力部110へ通知する。

【0009】 また、PPP上位層処理手段131は、PPPパケットの生成の際に、PPPコネクションの確立および解放、ユーザ認証、アドレスの動的割当てを行うための制御用PPPパケットを生成して接続先へ送る一

方、接続先から受けた制御用PPPパケットの終端を行う。

【0010】図6(B)で示されるルーター171は、例えば、端末172Aとの間のPPPコネクション177Aを、PPP上位層処理手段131において生成された制御用パケットを用いてデータリンク層に設定し、PPPコネクション177Aを介してアドレスの要求およびユーザ認証に必要な情報を接続相手先の端末172Aへ通知し、PPPによるユーザ認証後にPPPコネクション177Aが確立される。端末172Aからルーター171に対するPPPコネクション177Aの確立手順も同様である。

【0011】図6(A)に戻り、データ転送処理手段132は、PPPパケット記憶部140とHDLC処理部150との間のPPPパケットの転送をソフトウェア処理のCPU(Central Processor Unit)に割込みをかけて行う。また、データ転送処理手段132は、PPPパケットをPPPパケット記憶部140に格納した際、格納したことをPPP上位層処理手段131へ通知する。一方、データ転送処理手段132は、PPP上位層処理手段131からPPPパケットをPPPパケット記憶部140に格納した通知を受けた際には、HDLC処理部150へPPPパケットを転送することを通知する。

【0012】HDLC処理部150は、データ転送処理手段132から受けたPPPパケットに、HDLCフレーミング(フラグ)を加えてゼロ除去およびフラグ/アポート・シーケンス処理を行い、HDLCフレームに形成してHDLCフレーム入出力部160へ送出する。一方、HDLC処理部150は、HDLCフレーム入出力部160から受けたHDLCフレームからゼロ除去およびフラグ/アポート・シーケンスの検出を行いPPPパケットを取り出してデータ転送処理手段132へ送る。また、HDLC処理部150は、シリアル送受のHDLCフレームとパラレル送受のPPPパケットとのデータ転送に伴い、データのシリアル/パラレル変換を行う。

【0013】HDLCフレーム入出力部160は、HDLC処理部150と電話網173との間でHDLCフレームを送受するドライバ/レシーバを有し、PPPコネクション(例えば177A)の確立を待ってHDLCフレームを転送する。

【0014】次に、一つの物理回線に設定された複数の論理回線を用いてパケットの授受を行う、ATM技術に基づくLANEによるパケット通信方式について図面を参照して説明する。

【0015】まず、図7に示されるLANEの構成では、パケット入出力部210、パケット記憶部220、LANE処理手段231を含むソフトウェア処理部230、LANEパケット記憶部240、ATMセル化部250、およびATMセル入出力部260を含むルーター271または端末272A、272BがATM網273

に接続している。

【0016】ルーター271および端末272A、272Bそれぞれは1対1の物理回線275、276A、276Bそれぞれにより論理回線多重化装置274に接続している。ルーター271と端末272Aの間にはATM論理回線277A、またルーター271と端末272Bの間にはATM論理回線277Bそれぞれが論理回線多重化装置274を介して接続されている。ATM論理回線277A、277Bは論理回線多重化装置274により一本の物理回線275に多重化されている。また、ATM網273には、LANとATM網との間の相互接続動作のために、LANエミュレーション・コンフィギュレーション・サーバー、LANエミュレーション・サーバー、LANエミュレーション・ブロードキャスト・アンド・アンノン・サーバーなどの各種サーバー、LANEサーバー278を備えている。

【0017】次に、図7(A)に図7(B)を併せ参照してルーター271または端末272A、272Bが備える機能について説明する。

【0018】パケット入出力部210は、パケットによるLANフレームを受けてパケット記憶部220に格納し、格納したことをLANE処理手段231に通知する。一方、パケット入出力部210は、パケット記憶部220に格納した通知をLANE処理手段231から受けた際には格納されたパケットをパケット記憶部220から読み出して出力する。

【0019】LANE処理手段231は、パケット記憶部220から受けたLANフレームをLANEパケットに変換し、LANEパケット記憶部240に格納すると共に格納したことをATMセル化部250へ通知する。一方、LANE処理手段231は、LANEパケット記憶部240から受けたLANEパケットをLANフレームに変換しパケット記憶部220に格納すると共に格納したことをパケット入出力部210へ通知する。

【0020】また、例えば、図7(B)に示されるルーター271に備えられるLANE処理手段231は、LANEサーバー278に対して、ATM論理回線277A、277Bを確立/解放することを指示し、またMAC(Media Access Control)アドレスとATMアドレスとの間のアドレス解決のために問い合わせを行う。すなわち、LANE処理手段231は、LANEサーバー278にパケットのMACアドレスに対応するATMアドレスを要求し、回答されたATMアドレスに基づいて、例えば、端末272Aとの間のATM論理回線277Aを、物理回線275、論理回線多重化装置274および物理回線276Aを介して確立する。

【0021】図7(A)に戻り、ATMセル化部250は、LANEパケット記憶部240から読み出したLANEパケットをAAL5(ATM Adaptation Layer Type 5)によりセル化してATMセル入出力部260へ転送す

る一方、ATMセル入出力部260から受けたATMセルをLANEパケットに組み立ててLANEパケット記憶部240に格納し、この格納をLANE処理手段231へ通知する。

【0022】ATMセル入出力部260は、ATM網フレーム内のセル同期をとってセルを受取りATMセル化部250へ送る一方、ATMセル化部250から受けたセルをATM網フレーム内にマッピングする。

【0023】論理回線多重化装置274は、図7(B)の例では、複数の2本の物理回線276A、276BによるATM論理回線277A、277Bを介して受けたセルにVPI/VCI (Virtual Path Identifier/Virtual Channel Identifier) 値を必要に応じて付け替え、1本の物理回線275を介して転送する。

【0024】

【発明が解決しようとする課題】上述した従来のPPPに基づくパケット通信方式には、次のような問題点がある。

【0025】第1の問題点は、小型化、軽量化が困難なことである。

【0026】その理由は、送信側と受信側とが1対1の物理回線で接続されるので、ルーターでは収容されるデータ端末の数と同一の数の物理回線終端部を備える必要があるからである。

【0027】第2の問題点は、回線の使用効率が低いことである。

【0028】その理由は、1本の物理回線を同時に使用できるパケット通信が一つに限定されるからである。

【0029】第3の問題点は、データ転送の高速化が困難なことである。

【0030】その理由は、データの転送に対して、複雑で時間を要するHDLC処理を行う必要があるためである。

【0031】これら三つの問題点を解決できるATM技術に基づくLANEによるパケット通信方式では、システムの簡素化および保守性の向上が困難であるという第4の問題点がある。

【0032】その理由は、上述のPPPに基づくパケット通信方式で実現できた、アドレスの解決、ユーザ認証、アドレスの動的割当てが不可能であり、これらを可能にするためにはそれぞれに対応する手段が必要になるからである。

【0033】本発明の課題は、上記問題点の全てを同時に解決できる、小型・軽量、かつ高速で伝送効率が高く、同時に簡素で保守性が高いパケット通信方式を提供することである。

【0034】

【課題を解決するための手段】本発明によるパケット通信方式は、国際標準パケットによりATM網を介して通信するパケット通信方式において、前記ATM網に接続

し、前記国際標準パケットを変換したPPPに基づくPPPパケットと前記ATM網と入出力するATMセルとの相互変換を行う変換手段を備えている。

【0035】また、前記変換手段は、前記ATM網に対して一つの物理回線に多重化された複数の論理回線それぞれの内部に形成されるPPPコネクションを終端し、前記PPPに基づく上位層処理を行う複数のPPP上位層処理手段と、変換対象のパケットおよびセルそれぞれを前記PPP上位層処理手段に適切に振り分ける振分け手段とを備え、前記振分け手段は、前記ATM網から受けたATMセルを前記物理回線に設定された論理回線の識別子を用いて適切な前記PPP上位層処理手段に振り分けるPPPパケット振分け手段と、上位層から受けたパケットをパケットのアドレスを用いて適切な前記PPP上位層処理手段に振り分けるパケット振分け手段とを含む具体的な構成が提案できる。

【0036】上述されたPPPパケットとATM網に入出力するATMセルとの相互変換により、一つのPPPコネクションを一つのATM論理回線内に設定できる。

従って、一つの物理回線に複数のATM論理回線を設定するとにより、複数のPPPコネクションを一つの物理回線内に多重することが可能になる。更に、物理回線の終端部では、パケットの振分け手段が、パケットのアドレスとVPI/VCI値とに基づいて国際標準である入出力パケットまたはPPPパケットを、複数のPPPコネクションそれぞれに対応する適切なPPP上位層処理手段に振り分けることによりPPPコネクションの識別を行っている。

【0037】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0038】図1は本発明の実施の一形態を示す機能ブロック図である。図1に示された機能ブロック図は、本発明によるパケット通信方式におけるATM網に対する物理回線終端部の構成を示しており、パケット入出力部1、ソフトウェア処理部2、パケット記憶部3A、3B、PPPパケット記憶部4、ATMセル化部5、およびATMセル入出力部6により構成されている。また、ソフトウェア処理部2はパケット振分け手段21、PPP上位層処理手段22A、22B、およびPPPパケット振分け手段23を備えているものとする。

【0039】従来との相違点は、アドレスDA/SA (Destination Address/Source Address)を有するLAN (Local Area Network) 上のパケットをPPP (Point to Point Protocol)によるPPPパケットに変換し、かつATM網の論理回線多重化装置を利用できるように、VPI/VCI (Virtual Path Identifier / Virtual Channel Identifier) 値を付加したATM網上のセルに形成し、他方では、この逆の手順でセルをパケットに変換していることである。

【0040】パケット入出力部1は、LANにおけるアドレスDA/SAを有するLANパケットを受けてパケット振分け手段21に転送する一方、パケット振分け手段21から受けたLANパケットをアドレスDA/SAに基づきLANへ送出するものとする。

【0041】パケット振分け手段21は、パケット入出力部1から受けたLANパケットの行先アドレスに基づいて転送先パケット記憶部3A（または3B）を判断し、判断したパケット記憶部3A（または3B）へLANパケットを転送格納する。この際、パケット振分け手段21は、パケット記憶部3A（または3B）へ格納したことをLANパケットを受け取るべきPPP上位層処理手段22A（または22B）へ通知する。一方、パケット振分け手段21は、パケット記憶部3A（または3B）からLANパケットを受けた際には受けたLANパケットをパケット入出力部1へ転送する。

【0042】PPP上位層処理手段22A（または22B）は、パケット記憶部3A（または3B）から受けたLANパケットを、IETFにおけるRFC1663、1332および1334に基づきPPPパケットに変換してPPPパケット振分け手段23へ送るものとする。一方、PPP上位層処理手段22A（または22B）は、PPPパケット振分け手段23から受けた主信号PPPパケットをLANパケットに変換してパケット記憶部3A（または3B）に格納すると共にこの格納したことをパケット振分け手段21へ通知するものとする。

【0043】また、PPP上位層処理手段22A（または22B）は、PPPコネクションを確立/解放し、ユーザ認証を行い、LANプロトコルアドレスとして用いることとするインターネットプロトコルに適用できるIP（Internet Protocol）アドレスを動的割当てし、更に制御用PPPパケットを生成/終端するものとする。したがって、PPP上位層処理手段22A、22Bそれぞれは、パケット記憶部3A、3Bと共に、VPI/VC

I値に対応して設けられるものとする。

【0044】PPPパケット振分け手段23は、PPP上位層処理手段22A（または22B）からPPPパケットを受けPPPパケット記憶部4に格納すると共にこの格納をATMセル化部5へ通知するものとする。この際、PPPパケットの送出元であるPPP上位層処理手段22A（または22B）を識別し、識別結果に基づいてVPI/VC

I値を決定しこのVPI/VC I値をATMセル化部5へ通知するものとする。

【0045】一方、PPPパケット振分け手段23は、PPPパケット記憶部4からPPPパケットを読み出す際には、ATMセル化部5から通知されたVPI/VC I値に基づいて適切なPPP上位層処理手段22A（または22B）を選択し、読み出したPPPパケットを選択したPPP上位層処理手段22A（または22B）に振り分けるものとする。

【0046】ATMセル化部5は、PPPパケット振分け手段23から格納の通知を受けPPPパケット記憶部4から取り出したPPPパケットを、IETFのRFC1483の定義に基づいて、AAL5のCPCS-PDU（Common Part Convergence Sublayer - Protocol Data Unit）のペイロード部にマッピングすることによりATMセルを生成しATMセル入出力部6へ送出するものとする。一方、ATMセル化部5は、ATMセル入出力部6から受けたATMセルをPPPパケットに変換してPPPパケット記憶部4に格納し、この格納したことでセルのVPI/VC I値とをPPPパケット振分け手段23へ通知するものとする。

【0047】ATMセル入出力部6は、ATM網フレーム内のセル同期をとりATMセルを受けてATMセル化部5へ転送する一方、ATMセル化部5から受けたセルをATM網フレーム内にマッピングするものとする。

【0048】次に、図1に図2を併せ参照して、上記構成における主要動作手順について説明する。

【0049】まず、パケット入出力部1にLANパケットの入力がなく（ステップS1のNO）、ATMセル入出力部6にATMセルの入力がない場合（ステップS21のNO）、手順はステップS1に戻り、LANパケットまたはATMセルの入力を待つ。

【0050】上記ステップS1が“YES”でLANパケットが入力した場合、パケット入出力部1は入力したLANパケットをパケット振分け手段21へ転送する。パケット振分け手段21は、LANパケットの行先アドレス（DA）に基づいて適切な振分け先を決定し（ステップS2）、受けたLANパケットを決定された振分け先に基づくパケット記憶部3A（または3B）へ格納する（ステップS3）。次いで、パケット振分け手段21は、格納先であるパケット記憶部3A（または3B）に対応するPPP上位層処理手段22A（または22B）へLANパケットを格納したことを通知する（ステップS4）。

【0051】PPP上位層処理手段22A（または22B）は、LANパケットをパケット記憶部3A（または3B）から読み出して主信号PPPパケットに変換し、更に制御用PPPパケットを生成する上位層処理を行う（ステップS5）。次いで、PPP上位層処理手段22A（または22B）は、主信号および制御用を含むPPPパケットをPPPパケット振分け手段23へ転送する（ステップS6）。

【0052】PPPパケット振分け手段23は、受けたPPPパケットをPPPパケット記憶部4に格納し（ステップS7）、格納したことで送出元のPPP上位層処理手段22A（または22B）に対応するVPI/VC I値とをATMセル化部5へ通知する（ステップS8）。

【0053】ATMセル化部5は、PPPパケット記憶

部4からPPPパケットを読み出してセル化し(ステップS9)、ATMセル入出力部6を介してATM網へ送出する(ステップS10)。この結果、手順は、ATMセル入出力部6でATMセルの入力を待つ上記ステップS21へ進み、パケット入出力部1では次のLANパケットの入力を待つ上記ステップS1へ戻る。

【0054】一方、上記ステップS21が“YES”でATMセルが入力した場合、ATMセル入出力部6は入力したATMセルをATMセル化部5へ転送する。

【0055】ATMセル化部5は、ATMセル入出力部6からATMセルを受けてPPPパケットを組み立てる(ステップS22)。ATMセル化部5は、組み立てたPPPパケットをPPP記憶部4に格納し(ステップS23)、格納したことをPPPパケットを組み立てたセルのVPI/VC I値とをPPPパケット振分け手段23に通知する(ステップS24)。

【0056】PPPパケット振分け手段23は、PPPパケット記憶部4から読み出したPPPパケットの転送先PPP上位層処理手段22A(または22B)を、通知されたVPI/VC I値に基づいて決定し、決定したPPP上位層処理手段22A(または22B)へ読み出したPPPパケットを振り分けて転送する(ステップS25)。

【0057】PPP上位層処理手段22A(または22B)は、受けたPPPパケットから得た主信号をLANパケットに変換し、かつ制御用PPPパケットを終端する上位層処理を行う(ステップS26)。次いで、PPP上位層処理手段22A(または22B)は、変換したLANパケットを自己に対応するパケット記憶部3A(または3B)に格納し(ステップS27)、格納したことをパケット振分け手段21へ通知する(ステップS28)。

【0058】パケット振分け手段21は、パケット記憶部3A(または3B)からLANパケットを読み出してパケット入出力部1へ転送する(ステップS29)。パケット入出力部1は、受けたLANパケットを出力する(ステップS30)。この結果、手順は、パケット入出力部1ではLANパケットの入力を待つ上記ステップS1へ移り、ATMセル入出力部6では次のATMセルの入力を待つ上記ステップS21へ戻る。

【0059】上記説明では、PPPパケットと識別するため、入出力するパケットをアドレスDA/SAを有するLAN上のパケット、LANパケットと表現して説明したが、適用されるパケットはITU-T(International Telecommunications Union - Telecommunications)で規定される国際標準プロトコルに準じるものであれば、LANに限定されることなく、他の種類のネットワーク、例えばイーサネットに適用されるパケットでも、または広域のIPに基づくパケットでもよい。

【0060】上記説明では、PPP上位層処理手段をV

PI/VC I値と共に、二つの振分け先として図示して説明したが、ATM網への物理回線終端部が一つの論理回線でよい端末単体の場合ではPPP上位層処理手段およびパケット記憶部が一つでよいのでLANパケットおよびPPPパケットの振分け手段は省略できる一方、ルーターのように、複数の多重化された論理回線を接続する場合には二つ以上のPPP上位層処理手段およびパケット記憶部が設けられる。

【0061】

【実施例】次に、上記実施の形態を適用したATM網における接続構成および動作について、図3に示される実施例を参照して説明する。下記説明では、IPが適用できるものとし、IPパケットを入出力すると共に各端末はIPアドレスを取得しているものとする。

【0062】図3では、ルーター71が端末72A、72BとATM網73を介して接続されている状態が示されている。ATM網73は論理回線多重化装置74を備えている。また、物理回線75がルーター71と論理回線多重化装置74とを接続している。更に、物理回線76A、76Bそれぞれが端末72A、72Bそれぞれと論理回線多重化装置74とを接続している。ルーター71と端末72A、72Bそれぞれとは、物理回線75、論理回線多重化装置74、および物理回線76A、76Bそれぞれを介したATM論理回線77A、77Bそれぞれにより接続を確立されている。従って、論理回線多重化装置74は、二つのATM論理回線77A、77Bを1本の物理回線75に多重する機能を有している。

【0063】ATM論理回線77A、77Bそれぞれは、端末72A、72Bそれぞれと論理回線多重化装置74との間でVPI/VC I値=a/b、c/dそれぞれを有している。また、ATM論理回線77A、77Bそれぞれは、ルーター71と論理回線多重化装置74との間でVPI/VC I値=e/f、g/hそれぞれを有している。端末72A、72Bそれぞれは、ユーザ認証後、PPPコネクションをATM論理回線77A、77B内それぞれに確立し、IPアドレスx、yそれぞれを有するものとする。

【0064】ルーター71は、図1に示される機能ブロックを有している。一方、端末72A、72Bそれぞれは、ルーター71とのみ通信することを想定しているので、図1においてPPP上位層処理手段22A、22Bおよびパケット記憶部3A、3Bが一つの場合の機能ブロックを有している。従って、端末72A、72Bそれぞれでは、図1におけるパケット振分け手段21およびPPPパケット振分け手段23は不要である。

【0065】次に、図3に図4を併せ参照してルーター71から端末72Aへの下り方向のパケット転送における動作概要について説明する。

【0066】ルーター71は、図1における同一の構成を有している。一方、端末72Aは、上述したよう

に、図1の構成からパケット振分け手段21およびPPPパケット振分け手段23が削除され、パケット入出力部1D、パケット記憶部3D、PPP上位層処理手段22Dを有するソフトウェア処理部2D、PPPパケット記憶部4D、ATMセル化部5D、およびATMセル入出力部6Dにより構成されている。因みに、端末72A内の各構成要素の機能内容は、図1における同一名称の構成要素と同様である。

【0067】まず、ルーター71は、パケット入出力部1によりIPによるアドレス $DA/SA=x/y$ を有するIPパケットを受けるものとする。パケット入出力部1は受けたIPパケットをパケット振分け手段21へ転送する。

【0068】パケット振分け手段21は、受けたIPパケットをこのIPパケットが有する行先アドレス $DA=x$ に対応するパケット記憶部3Aに転送して格納すると共に格納先をPPP上位層処理手段22Aへ通知する。PPP上位層処理手段22Aは、IPパケットをパケット記憶部3Aから読み出してPPPパケットに変換しこの変換したPPPパケットをPPPパケット振分け手段23へ転送する。PPPパケット振分け手段23は、PPP上位層処理手段22AからPPPパケットを受けたことを認識し、受けたPPPパケットをPPPパケット記憶部4に格納すると共に、セル化の際に用いるVPI/VC I値 $=e/f$ をATMセル化部5へ通知する。

【0069】ATMセル化部5は、PPPパケット記憶部4からPPPパケットを読み出してセル化し、通知されたVPI/VC I値 $=e/f$ を、作成したセルに付加し、ATMセル入出力部6へ転送する。ATMセル入出力部6は、ATMセル化部5から受けたセルを物理回線75を介して端末72Aへ送出する。

【0070】このセルはVPI/VC I値 $=e/f$ に基づいてATM論理回線77A上を論理回線多重化装置74へ転送される。論理回線多重化装置74は、受けたセルに対して、このセルが有するVPI/VC I値 $=e/f$ を、端末72Aに終端されるATM論理回線77Aに対して予め定められたVPI/VC I値 $=a/b$ に付け替え、この付け替えされたセルを物理回線76Aを介して送出する。

【0071】従って、このセルは、アドレス $DA/SA=x/z$ のIPパケットがPPPパケットに変換され、VPI/VC I値 $=a/b$ を付加されたATMセルとなる。このセルは、VPI/VC I値 $=a/b$ に基づいてATM論理回線77A上を端末72Aへ転送される。

【0072】端末72Aでは、ATMセル入出力部6DがATM論理回線77A上からセルを受け、このセルをATMセル化部5Dへ転送する。ATMセル化部5Dは、受けたセルからPPPパケットを組み立て、このPPPパケットをPPPパケット記憶部4Dに格納すると共に、この格納したことをPPP上位層処理手段22D

へ通知する。

【0073】PPP上位層処理手段22DはPPPパケット記憶部4DからPPPパケットを読み出してIPパケットに変換する。また、PPP上位層処理手段22Dは変換したIPパケットをパケット記憶部3Dに格納し、この格納したことをパケット入出力部1Dへ通知する。

【0074】パケット入出力部1Dは、パケット記憶部3DからIPパケットを読み出して送出する。

【0075】次に、図3に図5を併せ参照して端末72Aからルーター71への上り方向のパケット転送における動作概要について説明する。図5に示される構成要素は図4と同一である。

【0076】端末72Aは、パケット入出力部1Dによりアドレス $DA/SA=z/x$ のIPパケットを受け、受けたIPパケットをパケット記憶部3Dに格納してこの格納したことをPPP上位層処理手段22Dへ通知する。次いで、PPP上位層処理手段22Dは、IPパケットをパケット記憶部3Dから読み出し、PPPパケットに変換する。また、PPP上位層処理手段22Dは、この変換したPPPパケットをPPPパケット記憶部4Dの格納し、この格納したことをATMセル化部5Dへ通知する。

【0077】ATMセル化部5Dは、PPPパケット記憶部4DからPPPパケットを読み出し、VPI/VC I値 $=a/b$ を持つセルに変換し、このセルをATMセル入出力部6Dへ転送する。ATMセル入出力部6Dは、ATMセル化部5Dから受けたセルを物理回線76Aを介してルーターへ送出する。

【0078】このセルは、ATM論理回線77A上を論理回線多重化装置74へ送られる。論理回線多重化装置74は、セルが有するVPI/VC I値 $=a/b$ を、ルーター71に終端されるATM論理回線77Aに予め定められたVPI/VC I値 $=e/f$ に付け替え、端末72Aから受けたセルをルーター71と接続する物理回線75へ送出する。従って、このセルは、アドレス $DA/SA=z/x$ のパケットがPPPパケットに変換されたものに、VPI/VC I値 $=e/f$ が付加されたATMセルである。

【0079】ルーター71では、ATM入出力部6がこのセルを受けてATMセル化部5へ転送する。ATMセル化部5は、受けたセルからPPPパケットを組み立て、このPPPパケットをPPPパケット記憶部4に格納し、この格納したことを格納したPPPパケットがVPI/VC I値 $=e/f$ を持つセルから組み立てられたことをPPPパケット振分け手段23へ通知する。

【0080】PPPパケット振分け手段23は、PPPパケット記憶部4からPPPパケットを読み出し、ATMセル化部5から通知されたVPI/VC I値に基づいてPPPパケットをPPP上位層処理手段22Aへ転送

13

する。PPP上位層処理手段22Aは、受けたPPPパケットをIPパケットに変換してパケット記憶部3Aに格納すると共に、この格納したことをパケット振分け手段21へ通知する。

【0081】パケット振分け手段21は、パケット記憶部3AからIPパケットを読み出してパケット入出力部1へ転送する。パケット入出力部1は、受けたIPパケットをアドレスDA/SA=z/xに基づいて送出する。

【0082】

【発明の効果】以上説明したように本発明によれば、次のような効果を得ることができる。

【0083】第1の効果は、装置を小型で軽量に構成できることである。

【0084】その理由は、各論理回線に基づくPPPコネクションを一つの物理回線に多重化することができるので、装置が備える回線終端部の規模を縮小できるためである。

【0085】第2の効果は、ATM網での物理回線の伝送効率を向上できることである。

【0086】その理由は、一つの物理回線に複数のPPPコネクションを多重化することができるので、複数の端末との通信に用いるパケットを、単一の物理回線を用いて授受できるためである。

【0087】第3の効果は、パケット通信を高速化できることである。

【0088】その理由は、AAL5のフレーミングを使用することができるので、処理に時間を必要とするHDL C処理を削除できるためである。

【0089】第4の効果は、システムの簡素化および保守性の向上が可能となったことである。

【0090】その理由は、ATM網におけるアドレス解決用の各種サーバーを不要とし、ユーザー認証機能およ

14

びIPアドレスの動的割当て機能をPPPにより提供できるためである。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示す機能ブロック図である。

【図2】図1における主要動作手順の一形態を示すフローチャートである。

【図3】本発明の実施の一構成例を示す機能ブロック図である。

10 【図4】図1および図3に適用した下り方向の動作の一実施例を説明する機能ブロック図である。

【図5】図1および図3に適用した上り方向の動作の一実施例を説明する機能ブロック図である。

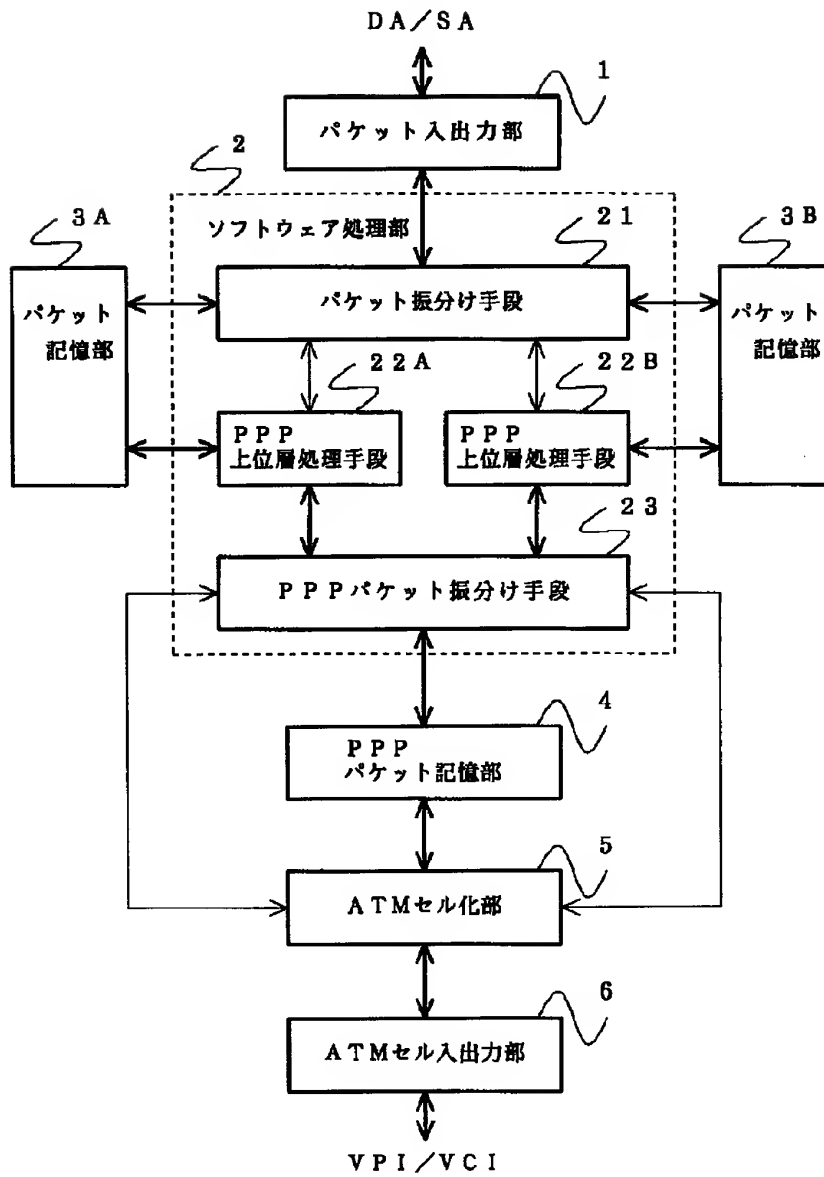
【図6】従来の一例をPPPコネクションを用いて示す機能ブロック図である。

【図7】従来の一例をLANエミュレーションを用いて示す機能ブロック図である。

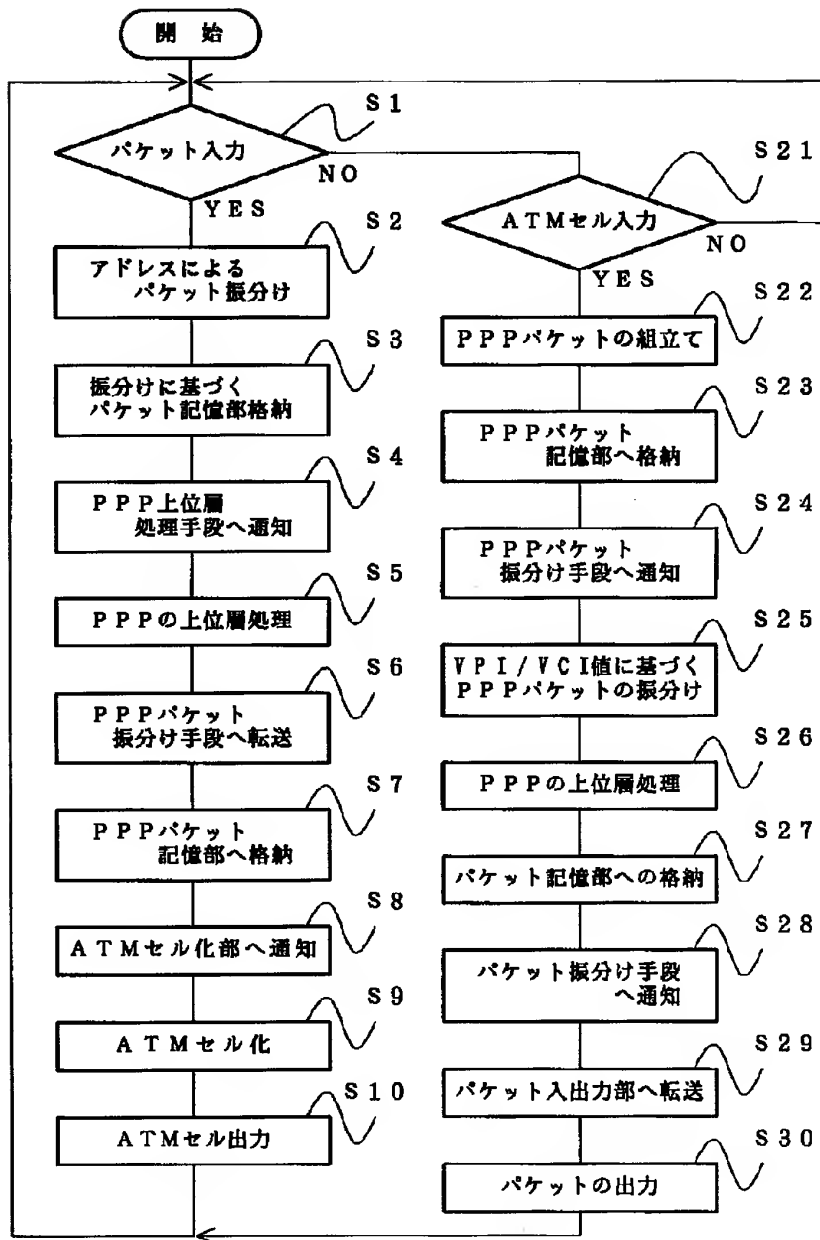
【符号の説明】

- 1 パケット入出力部
- 2 ソフトウェア処理部
- 3A、3B パケット記憶部
- 4 PPPパケット記憶部
- 5 ATMセル化部
- 6 ATMセル入出力部
- 21 パケット振分け手段
- 22A、22B PPP上位層処理手段
- 23 PPPパケット振分け手段
- 71 ルーター
- 72A、72B 端末
- 73 ATM網
- 74 論理回線多重化装置
- 75、76A、76B 物理回線
- 77A、77B ATM論理回線

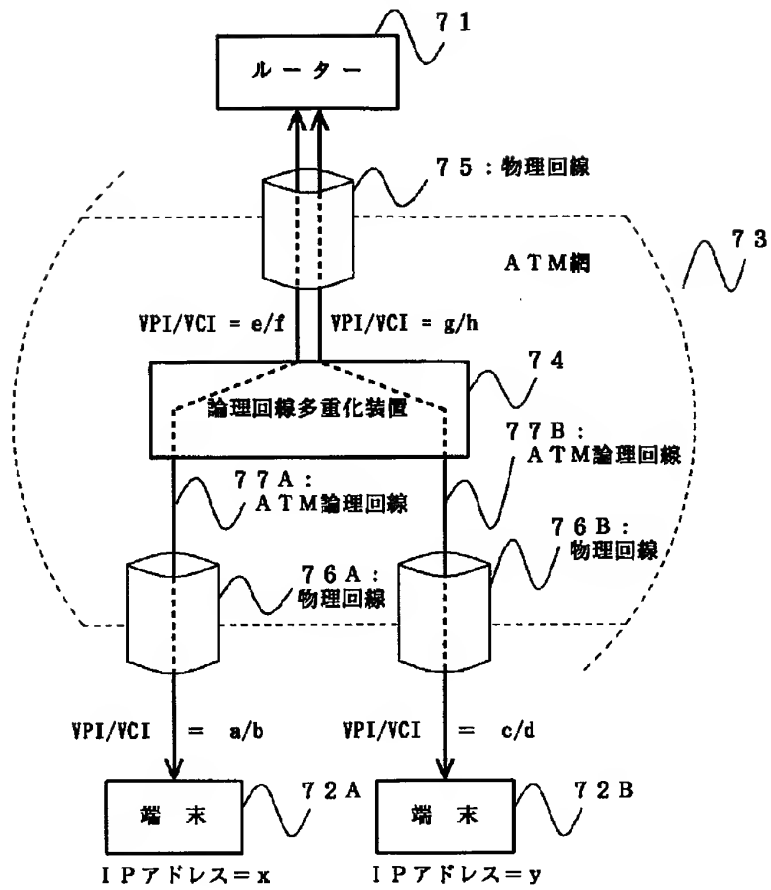
【図1】



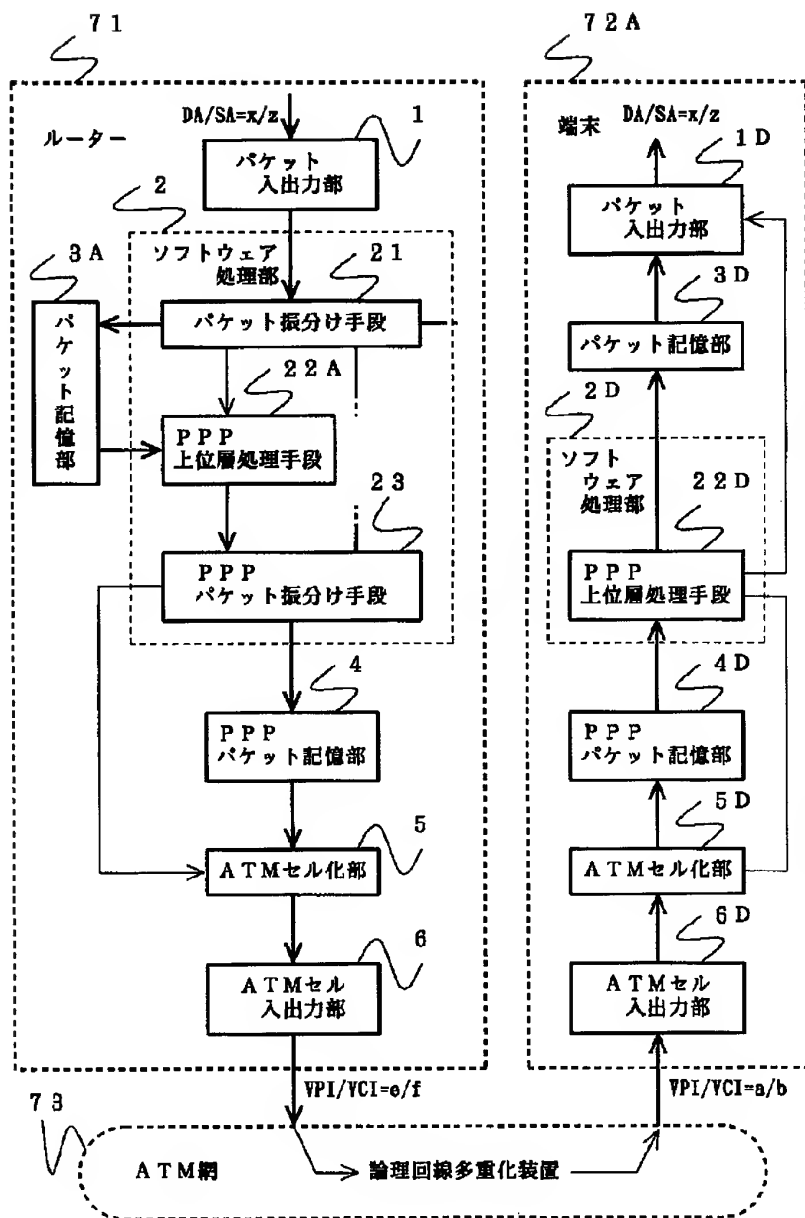
【図2】



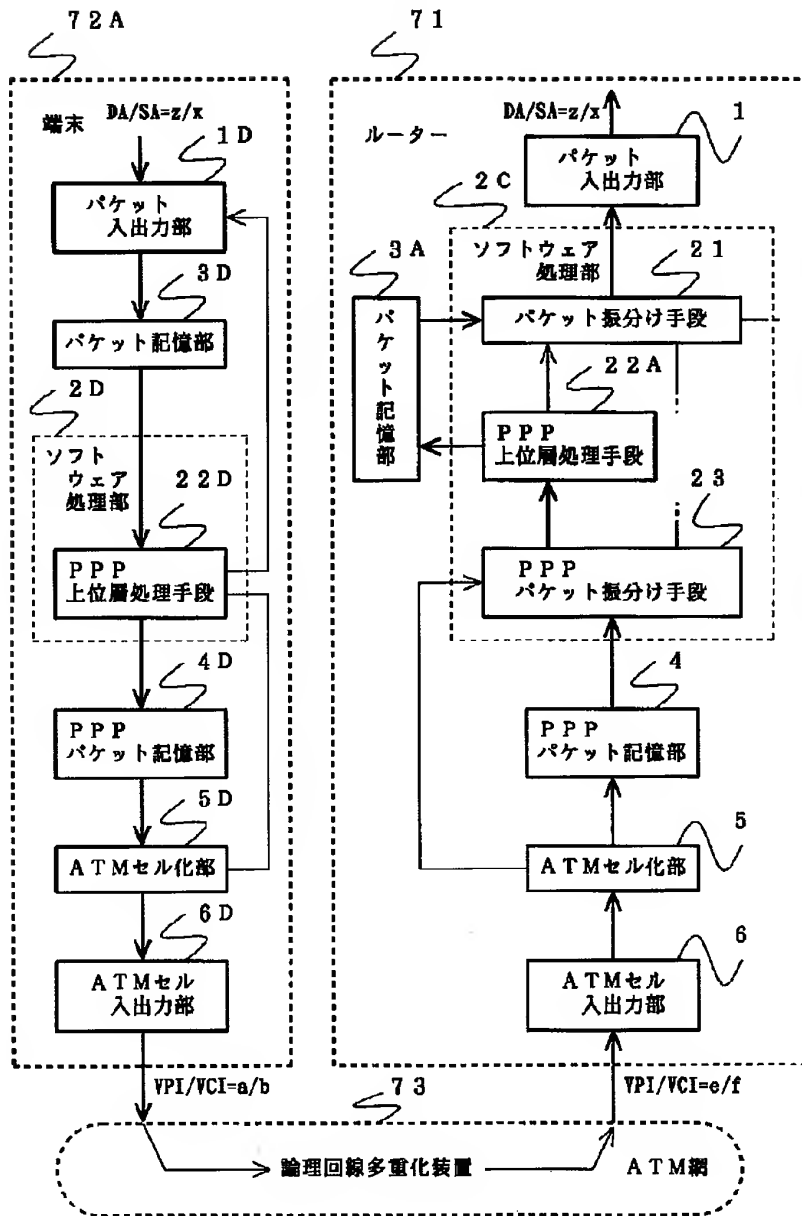
【図3】



【図4】

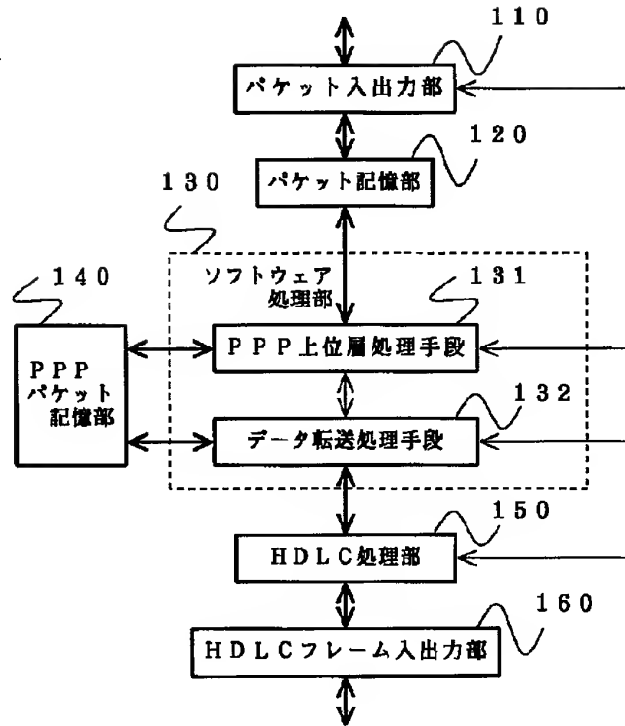


【図5】

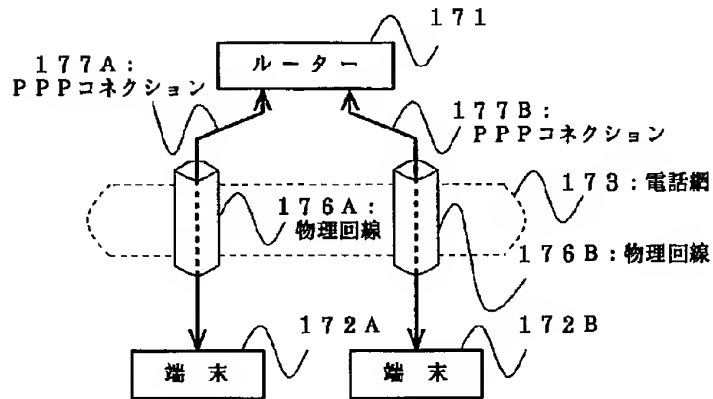


【図6】

(A)

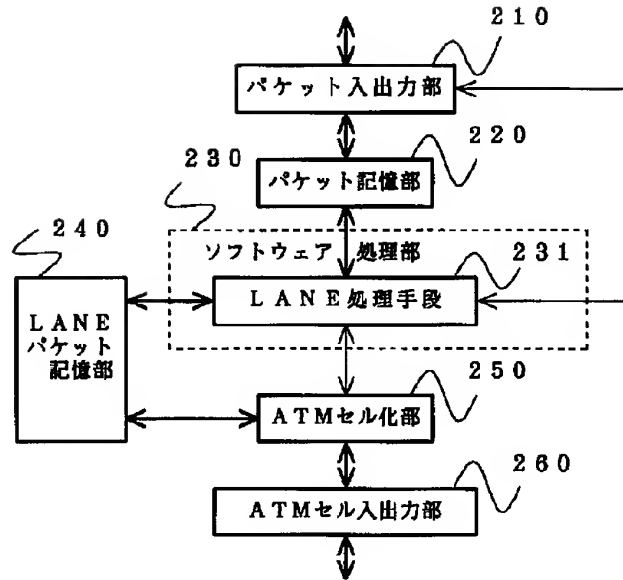


(B)



【図7】

(A)



(B)

